

車用電子的記憶體測試電路開發工具

隨著半導體製程技術的提升，IC 設計規模與時脈愈來愈高，加上目前 IC 設計對於記憶體 (SRAM、ROM、Embedded Flash、DRAM、Embedded DRAM) 需求的比重愈來愈大，對於 5G、車聯網、車用電子、自動駕駛等新一代系統晶片 (SoC) 內的記憶體需求量也大，晶片面積大小也隨之提升，且在效能與低耗電的需求下，晶片的製程也將往高階製程邁進，在設計的複雜度越高，開發的時間以及成本也相對提高，故產品的可靠度極為重要。

為確保晶片上的記憶體工作正常，內建自我測試技術 (**BIST; Built-In Self-Test**) 成為晶片實作中，不可或缺的一部分。**BIST** 可以提高測試的錯誤涵蓋率，縮短設計週期，增加產品良率，並加快產品的上市速度。為了儲存大量的資訊，記憶體所占相對於晶片面積的比重也將日益增加，除了需要有演算法能夠找出記憶體的錯誤並修復，也需要提高整體開發流程的穩定性及便利性。因此，芯測科技 (iSTART-Tek Inc.) 的記憶體測試與修復的整合平台-**START (SRAM Testing And Repairing Technology)** 的新功能「**Power-On-Test**」，提供使用者於車用電子領域中加強記憶體的可靠度。

iSTART 的 **Power-On Test** 流程專為車用電子所設計，實現此功能包括兩個主要步驟。首先，使用者需要在 IP 或模組中插入 BIST/BISR 電路；最後將所開啟的功能整合至 SoC 中。以下將介紹完整的 **Power-On Test** 流程。

Power-On Test 功能介紹

1. 功能說明

Power-On Test 功能是指用在晶片開機時，使用 ROM 產生的 Signature 與 MBIST 的指令做比對，並擷取資料做為驗證記憶體是否正常的運作。(如圖

1.所示)

- **Hardwired ROM:** 使用 **START** 預設的 ROM 來儲存比對資料

(Set hw_rom = yes)

- **ROM memory :** 使用自定義的 ROM 來儲存比對資料

(Set hw_rom = no)

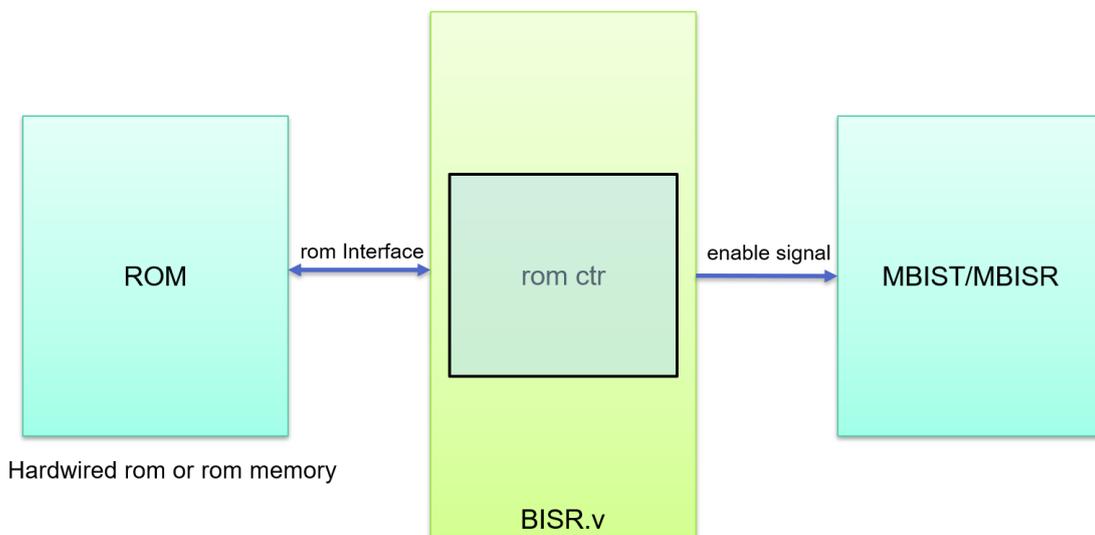


圖 1. Power-On Test 設計架構

配合使用 **START** 的記憶體修復功能，可分為以下四種應用：

Case	Repair mode	Set pot	Set hw_rom
Case 1	Hard Repair	Yes	No
Case 2		Yes	Yes
Case 3	Soft Repair	Yes	No
Case 4		Yes	Yes

圖 2. 功能應用範圍

2. BFL 設定說明

- set pot :
 - ◆ yes : 開啟 **Power-On Test** 功能
 - ◆ no : 關閉 **Power-On Test** 功能
- set hw_rom :
 - ◆ yes : 由 **START** 產生的 rom_24_hw 來儲存 ROM 產生的 Signature 當作 Test Command 並由 Hardwired ROM 的 Address 做切換，可參考圖 11.
 - ◆ no : 由客戶自定義的 POT_ROM 儲存 ROM 產生的 Signature，也是由 Address 來做切換(需自行接線)，可參考圖 12.

3. 執行流程

圖 3. 是此功能的實作流程，使用 **START** 開啟 **Power-On Test** 選項並執行 **Top-down** 流程，最後整合 BIST/BISR 並使用 IEEE1149.1 介面進行控制。

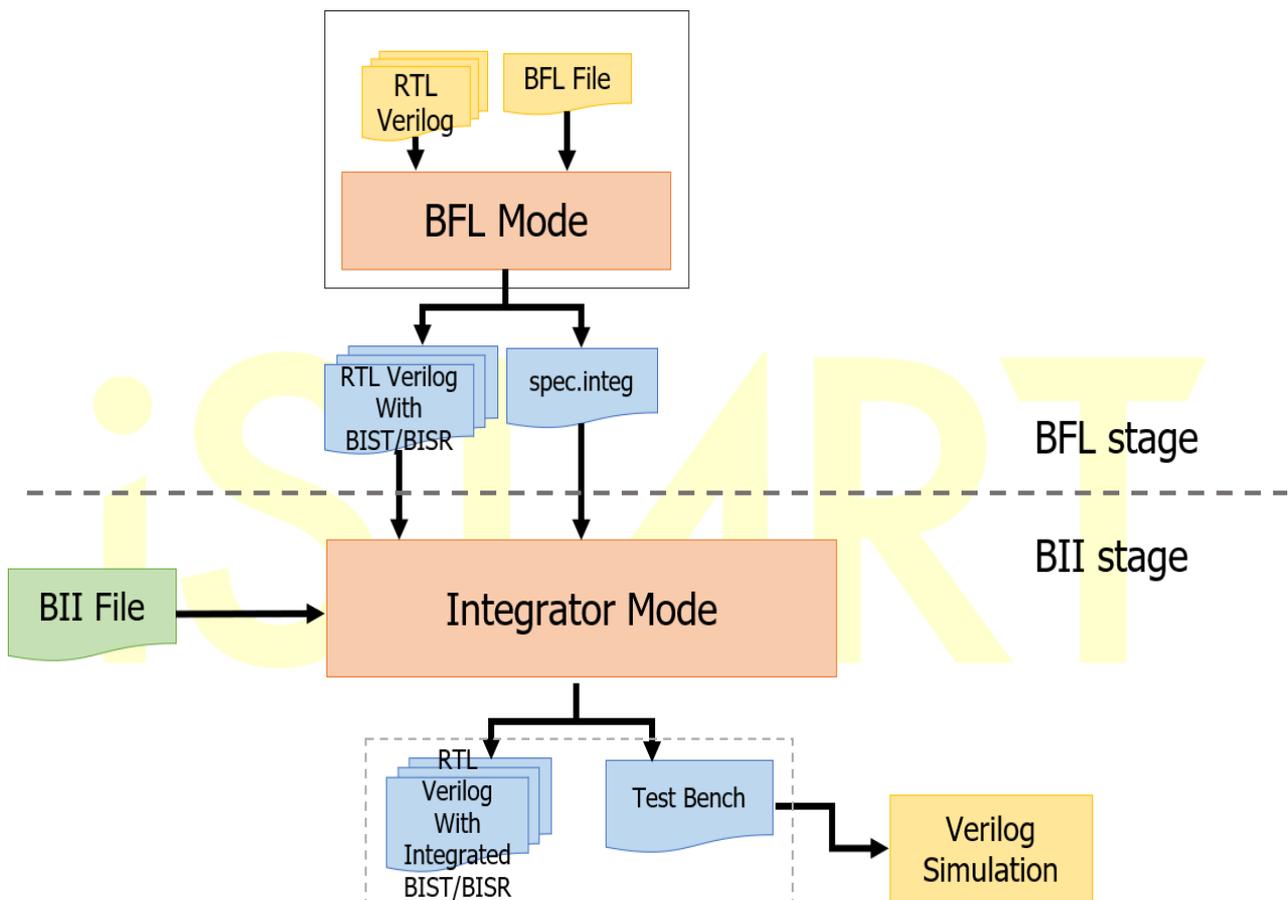


圖 3. **START** 執行流程

- **Case1: Hard Repair and no Hardwired ROM**

使用我們 **BFL (BIST FEATURE LIST)** 設定檔，由於需將與 IEEE1149.1 介面整合，因此控制接口應設置為 IEEE 1500 介面。故設定檔應遵循以下設定：

```
define{BIST}
  set bist_interface           = ieee1500
  set repair_mode              = yes
  set soft_repair              = no
  set pot                      = yes
  set hw_rom                   = no
end_define{BIST}
```

圖 4. BFL 設定

當 **BFL** 檔案設定完成後，即可以輸入指令執行流程。

- **Case2 : Hard Repair and Hardwired ROM**

基本上設定與 2.1 一樣，差別於 **BFL** 將設定 hw_rom 選項開啟，則 **BFL** 檔案設定如下：

```
define{BIST}
  set bist_interface           = ieee1500
  set repair_mode              = yes
  set soft_repair              = no
  set pot                      = yes
  set hw_rom                   = yes
end_define{BIST}
```

圖 5. BFL 設定

當 **BFL** 檔案設定完成後，即可以輸入指令執行流程。

● Case3 : Soft Repair and no Hardwired ROM

使用我們 **BFL** 設定檔，由於此範例將與 IEEE1149.1 介面整合，因此控制接

口應設置為 IEEE 1500 介面。故設定檔應遵循以下設定：

圖 6. BFL 設定

```
define{BIST}
  set bist_interface           = ieee1500
  set repair_mode             = yes
  set soft_repair             = yes
  set pot                     = yes
  set hw_rom                  = no
end_define{BIST}
```

當 **BFL** 檔案設定完成後，即可以輸入指令執行流程。

● Case4 : Soft Repair and Hardwired ROM

基本上設定與 2.3 一樣，差別於 **BFL** 將設定 hw_rom 選項開啟，則 **BFL** 檔案

設定如下：

```
define{BIST}
  set bist_interface           = ieee1500
  set repair_mode             = yes
  set soft_repair             = yes
  set pot                     = yes
  set hw_rom                  = yes
end_define{BIST}
```

圖 7. BFL 設定

當 **BFL** 檔案設定完成後，即可以輸入指令執行程。

- 整合 BIST/BISR 和 Power-On Test 電路

使用者可以透過 START 的 **BII** (**B**IST **I**NTTEGRATION **I**NFORMATION) 流程整合 BIST，透過設定該檔案來提供 IEEE1149.1 規格、BIST/BISR 規格記錄檔(*_spec.integ)等資訊後，即可讀取該 **BII** 檔案來實現 BIST/BISR 電路與 wrapper 的套用和 Power-On Test 功能的實現。

這邊需額外注意，在[Set hw_rom = no]流程中，必須在 **BII** 產生的 top_INS_f_INS.v 中插入 POT_ROM 來進行比對測試(如圖所示)

```
POT_ROM u POT_rom (  
  .A (RP_digital_top_ROM_ADDR),  
  .CEB (RP_digital_top_ROM_CEN),  
  .CLK (RCK),  
  .PD (0),  
  .Q (RP_digital_top_ROM_Q)  
);
```

圖 8. 使用者自定義 POT_ROM

而[Set hw_rom = yes]流程中，**START** 將自動在 top_INS_f_INS.v 中生成對應的 rom_24_hw 進行比對測試，如圖所示：

```
rom_24_hw u POT_rom (  
  .CLK (RCK),  
  .A (RP_digital_top_ROM_ADDR),  
  .CEN (RP_digital_top_ROM_CEN),  
  .Q (RP_digital_top_ROM_Q)  
);
```

圖 9. **START** 自動生成 rom_24_hw

- 模擬與合成及註解

執行完 **BII** 階段後，**START** 將自動生成模擬環境，可藉由模擬觀察 **Power-On Test** 測試及修復功能。

此外，當 hw_rom=no 時，在模擬前需先將生成的 pot_rom.v(在 INTEG 資料夾)的路徑放到 cdeFileIn 並在 run file(INTEG_INS.f)中加入使用者自定義 ROM 的路徑。

當 hw_rom = yes 時，**START** 會自動加入 rom_24_hw.v 到路徑到 run file(INTEG_INS.f)。

以下為 **Makefile** 內容說明:

- hard repair
 - make INTEG FUNC=tb_STIL
 - MBIST/MBISR test (The first step is to generate repair information for power on test)
 - make INTEG FUNC=tb_POT
 - Normal function test (power on test)
- soft repair
 - make INTEG FUNC=tb_STIL
 - MBIST/MBISR test
 - make INTEG FUNC=tb_POT
 - Normal function test (power on test)

*註：若為 Hard Repair，當 make INTEG FUNC=tb_STIL 完時，會產生 FuseDataValue.data，需將其檔案 rename 為 preload.data 方可執行 Power-On Test 的模擬

START 對於 Power-On Test 在合成方面也有對應的*.tcl 可協助客戶使用。

File	Description * refers to the setting of repair_prefix
*_BISR_INS.tcl	script file for use to do synthesis of BISR ctr circuits(include rom ctr)
rom_24_hw.tcl	script file for use to do synthesis rom hardwired rom(hw_rom)

圖 10. TCL 說明

在生成的 POT_ROM 或 Hardwired ROM 的過程中，提供註解說明讓使用者能第一時間掌握要訣(比對的資料來源)，如圖 11~12 所示：

```

@00000000 000000061 // top_default ['TRANS : 0', 'PRL_ON : 1', 'GRP_EN : 1', 'MEB_ID : 0000', 'MEN : 1']
@00000001 0000000e1 // top_default1 ['TRANS : 0', 'PRL_ON : 1', 'GRP_EN : 11', 'MEB_ID : 0000', 'MEN : 1']
@00000002 000001f81 // top_default2 ['TRANS : 0', 'PRL_ON : 1', 'GRP_EN : 11111', 'MEB_ID : 000000', 'MEN : 1']
@00000003 000000181 // RP_digital_top_default ['TRANS : 0', 'PRL_ON : 1', 'GRP_EN : 1', 'MEB_ID : 000000', 'MEN : 1']
@00000004 000000061 // RP_digital_top_default1 ['TRANS : 0', 'PRL_ON : 1', 'GRP_EN : 1', 'MEB_ID : 0000', 'MEN : 1']
@00000005 000ff268b // GOLD_SIGNATURE_1 {'ctr_name': 'top_default1', 'rom_tpg_position': 'top_default1_tpg_2_1_1'}
@00000006 000510b40 // GOLD_SIGNATURE_2 {'ctr_name': 'top_default2', 'rom_tpg_position': 'top_default2_tpg_4_1_1'}
    
```

圖 11. pot_rom.v 註解

```

0 : begin
  Q <= 24'h000061; // top_default ['TRANS : 0', 'PRL_ON : 1', 'GRP_EN : 1', 'MEB_ID : 0000', 'MEN : 1']
end
1 : begin
  Q <= 24'h0000e1; // top_default1 ['TRANS : 0', 'PRL_ON : 1', 'GRP_EN : 11', 'MEB_ID : 0000', 'MEN : 1']
end
2 : begin
  Q <= 24'h001f81; // top_default2 ['TRANS : 0', 'PRL_ON : 1', 'GRP_EN : 11111', 'MEB_ID : 000000', 'MEN : 1']
end
3 : begin
  Q <= 24'h000181; // RP_digital_top_default ['TRANS : 0', 'PRL_ON : 1', 'GRP_EN : 1', 'MEB_ID : 000000', 'MEN : 1']
end
4 : begin
  Q <= 24'h000061; // RP_digital_top_default1 ['TRANS : 0', 'PRL_ON : 1', 'GRP_EN : 1', 'MEB_ID : 0000', 'MEN : 1']
end
5 : begin
  Q <= 24'hff268b; // GOLD_SIGNATURE_1 {'ctr_name': 'top_default1', 'rom_tpg_position': 'top_default1_tpg_2_1_1'}
end
6 : begin
  Q <= 24'h510b40; // GOLD_SIGNATURE_2 {'ctr_name': 'top_default2', 'rom_tpg_position': 'top_default2_tpg_4_1_1'}
end
default : Q <= Q;
    
```

圖 12. rom_24_hw.v 註解

● 執行完後的架構圖

圖 13.為執行完後的架構，依 **BII (BIST INTEGRATION INFORMATION)**檔案內容設定來完成 **BIST** 的串接動作與指定信號連結(請參考圖 14)、wrapper 的套用與 **Power-On Test** 功能與提供使用者 **IEEE1149.1** 的 Interface。

BII 整合訊號可分為

1、BIST 的 WSI 與 WSO 訊號

2、BISR 的 WSI、WSO、MRSI 與 MRSO 訊號

3、Hard Repair 的 SYS_READY、BOOT_CFG_DONE 訊號

4、Power-On Test 的 SYS_POT、MGO、MRD、RGO 訊號

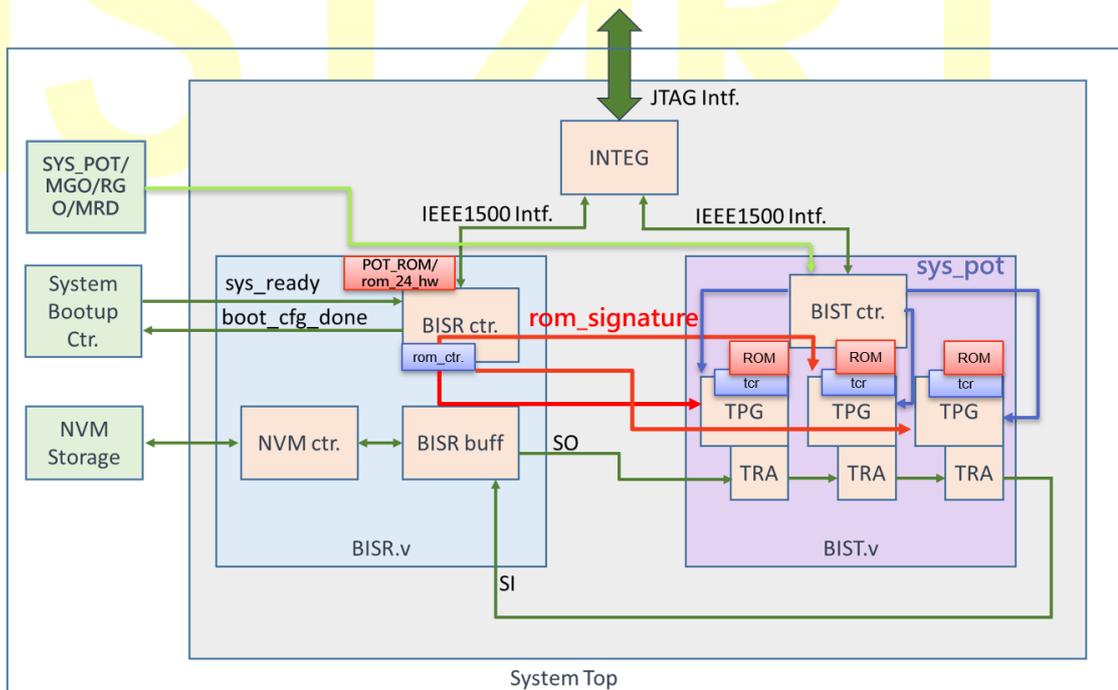


圖 13. 執行後架構圖

Name	Direction	Width	Description *n is ctr number *m is repair ctr number
SYS_READY	input	1	System boot ready to enable BISR logics (hard repair only, 1'b1: Ready to load data from NVM storage)
SYS_POT	input	1	Power on test enable (POT : normal function test only)
BOOT_CFG_DONE	output	1	Configuration data are shifted done (hard repair only, 1'b1: finish to scan; 1'b0: still in scan)
RCK	input	1	Clock signal for storage device, BISR logics and configuration buffer (POT or hard repair)
RRST	input	1	Reset signal for storage device, BISR logics and configuration buffer, reset once (power-on reset) (POT or hard repair)
MGO _n	output	1	MBIST/MBISR test result is pass/fail MGO : 0 fail MGO : 1 pass (POT)
MRD _n	output	1	MBIST/MBISR test is done MRD : 0 not done MRD : 1 done (POT)
RGOM	output	1	Can it be repair RGO : 0 unrepairable RGO : 1 repairable (POT)

圖 14. 訊號說明

4. 總結

因應車用電子(Automotive)、自動駕駛(Autopilot)世代來臨，SoC 需求記憶體的数量大幅增加。此時，記憶體測試解決方案即成為晶片設計中不可或缺的一環。藉由芯測科技的記憶體測試與修復的整合平台-**START (SRAM Testing And Repairing Technology)** 的新功能「**Power-On Test**」，對使用者來講，不需繁瑣的操作，即可完成記憶體測試解決方案的實作，提供使用者專注於主要產品功能的開發，加速產品開發的時程，提升產品良率及可靠度，對產品的競爭力可大幅提升。

關於芯測科技

隨著半導體先進製程演進的快速腳步，加上現今各種電子產品功能日趨複雜，系統晶片設計不僅變得更加困難，同時對於記憶體的需求更是日益增加。因而在追求如何提升產品效能降低功耗等課題外，如何加入適當的設計驗證電路來維持晶片的品質，提升可靠度以及控制成本，更是決勝的關鍵點。芯測科技透過創新的可程式化暨管線式架構記憶體測試技術與特有架構的記憶體修復技術，加上客制化以及即時的技術支援服務，提供客戶完整的記憶體測試與修復解決方案，來滿足不同製程及應用的需求。

- 檢測與修復結合的 SoC Memory 測試與修復解決方案：[START™](#)
- 便捷版記憶體測試開發平臺：[EZ-BIST](#)
- 非揮發性記憶體測試與修復矽智財：[NVM Test and Repair IP](#)
- 各類記憶體客制化測試與修復解決方案

展望競爭激烈的電子系統產品市場，芯測科技憑藉其完整的設計驗證解決方案，能夠協助你的團隊有效的完成相關設計，以控制產品品質與良率，在市場上取得領先地位。

以上技術文章，懇請惠予刊登;如有任何疑問，敬請不吝請教。

本篇作者：

[謝金騰](#)

資深工程師

新聞聯絡人：

[蔡羽涵](#)

t: +886-3-560-1667 #316

e: y.h.tsai@istart-tek.com