

iSTART

October 2024

iSTART iReport

芯測科技電子報第 10 期

iSTART

EFFICIENCY
INNOVATION
SERVICE

芯測科技成功取得中國專利 「内存修复电路、内存模块及内存修复方法」

芯測科技成功取得「内存修复电路、内存模块及内存修复方法」中國專利 (專利號：ZL 2019 1 1227376.5)。此專利提供記憶體修復電路、記憶體模組及記憶體修復方法，可有效克服現有硬修復技術與軟修復技術的不足之處，提高修復效率、降低時間成本並確保電子產品可正常運作。現有的記憶體修復技術分為軟修復 (soft repair) 和硬修復 (hard repair)。軟修復是開機時用內建的自我測試來檢查錯誤，並把錯誤的記憶體位置對應到無故障的備用單元。

這種方法可以多次修復，設計成本低，但設定時間長，且部分錯誤無法修復。硬修復則是用保險絲斷開有問題的記憶體單元，並用備用行或列來替代，修復速度快，但只能修一次，且需要額外硬體。

芯測科技「内存修复电路、内存模块及内存修复方法」專利技術的記憶體修復電路，包括非揮發性記憶體 (NVM)、揮發性記憶體 (VM)、控制器、自我測試電路以及修復資訊產生電路。同時具有硬修復技術與軟修復技術兩者的優點的至少一部分，且可以提供累加式修復功能。在使用期限較長的電子產品的應用中，此技術的記憶體修復電路與方法、與使用其的記憶體模組，可以針對新出現的錯誤的記憶體單元進行修復，解決現有修復技術的限制。

AI 應用崛起

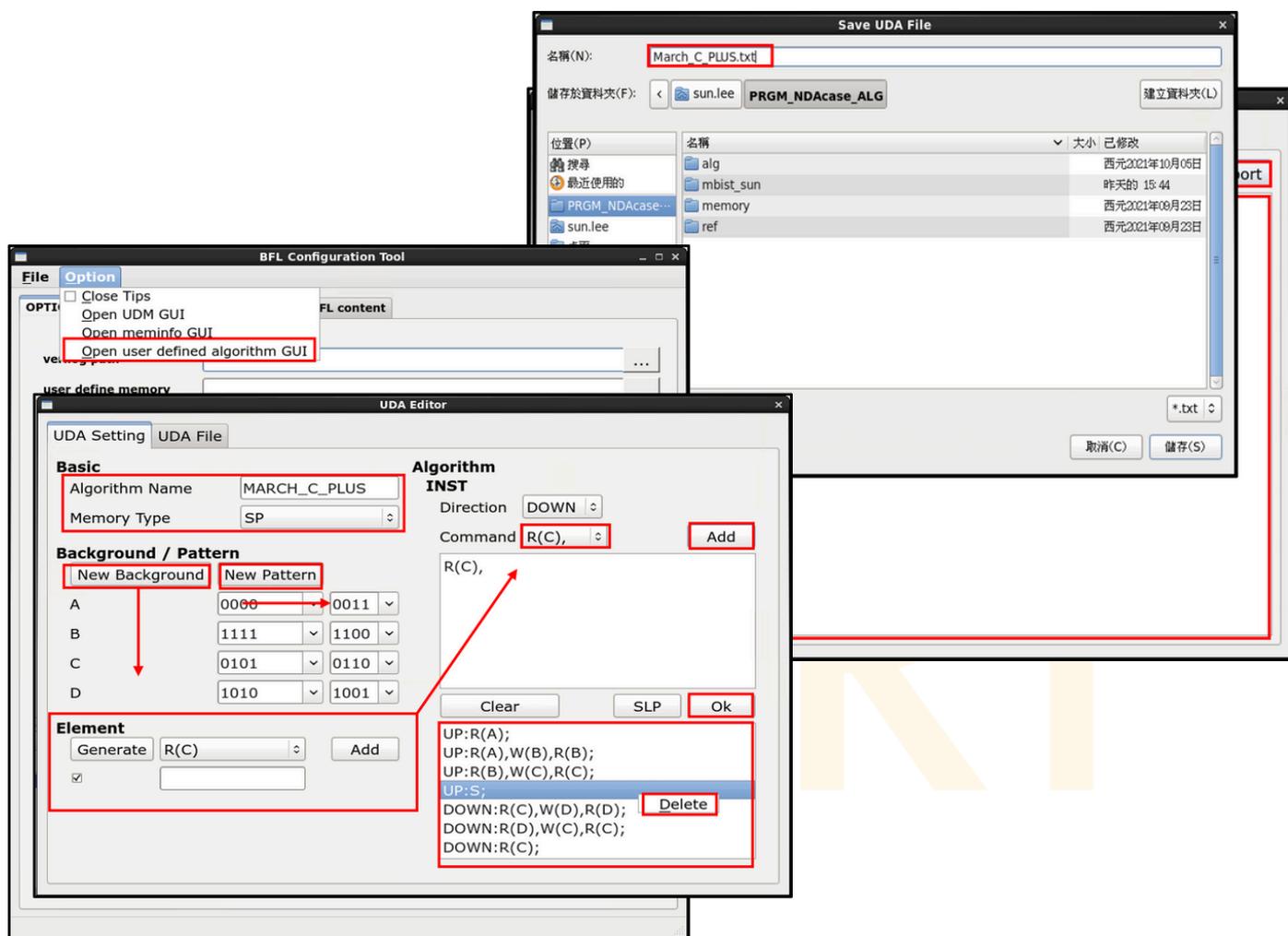
芯測科技記憶體測試與修復技術提升良率

記憶體的使用至今已有近 50 多年的歷史，過去半導體的發展和應用不像現在如此先進及多元。從過去的 PC 與 NB 產品到手機、挖礦機的應用，再到 2024 年熱門的電動車及 AI 的風起雲湧，推動半導體邁向新的應用。

AI 應用需要執行強大的運算功能，大幅提升 SoC (系統單晶片) 內的記憶體占比。而傳統的 March C 演算法，已無法滿足各家晶圓業者對產品良率的要求。如果使用演算法無法有效的找出記憶體的瑕疵，就無法進一步使用修復的技術將晶片恢復到可以使用的狀態。為了滿足客戶對記憶體高強度及彈性化的測試需求，進而控制 DPPM (Defective Parts Per Million，每百萬個產品所發生的不良品數量)，芯測科技所開發的 UDA 和 EZ-TEC IP 能為客戶提供最佳的記憶體測試解決方案。

UDA (User-Defined Algorithm，使用者自定義演算法開發平台) 能滿足客戶對記憶體測試演算法的彈性化和自定義需求。晶片設計工程師也可以透過 GUI (Graphical User Interface，圖形化操作介面) 快速產生記憶體測試演算法。CIM (Computing in Memory，記憶體內運算) 需要在記憶體上直接運算出結果，而不是透過 CPU 來運算。既有的測試演算法輸入及輸出的 Pattern 相同，意味著寫入的資料與讀取的資料相同，藉此比對記憶體的資料是否正確。

因此針對 CIM 的記憶體，就需要能夠產生及比對出輸入資料與輸出資料是不同的 Pattern，來驗證 CIM 記憶體是否正常。



► UDA 採用 GUI 介面

芯測科技的 EZ-TEC 是採用「用於產生記憶體自我測試演算法電路之方法 (METHOD FOR GENERATING AN MEMORY BUILT-IN SELF-TEST ALGORITHM CIRCUIT)」元素化架構的 SRAM BIST IP。目前市面上常見的測試演算法，會有重複測試的行為，因此需要花費更多測試時間與成本。同時，先進製程不斷進度，現有的測試演算法可能無法偵測到先進製程的記憶體缺陷，也無法滿足與時俱進的需求。

芯測科技的 EZ-TEC IP 即是有效改善此現況的先進技術。同時提供測試工程師彈性的重組測試演算法。既有的測試演算法其執行順序在晶片設計完成就已固定，因此，進入晶片量產測試階段時，無法再做動態調整。EZ-TEC IP 能夠在晶片量產測試階段，讓測試工程師能夠根據需求調整測試演算法的 Element 測試順序。另外也可以增加或減少元素執行的次數，進而提供記憶體測試的強度，將其不良的晶圓產品剔除，避免品質不佳的晶圓流到客戶端。

```

PRL_ON = 1;
GRP_EN = 3'b001;  → SP SRAM Group Enable
MEB_ID = 1'b0;
BG = 2'b00;  → Pattern 0x0F → 0x05A

/* Simulation */
ALG_CMD0 = 6'b011100; w // >(wa)
ALG_CMD1 = 6'b011001; rWR // >(ra,wb,rb)
ALG_CMD2 = 6'b000010; Rwr // >(rb,wa,ra)
ALG_CMD3 = 6'b111001; rWR // <(ra,wb,rb)
ALG_CMD4 = 6'b100010; Rwr // <(rb,wa,ra)
ALG_CMD5 = 6'b111000; r // <(ra)
ALG_CMD6 = 6'b011100; w // <(wa)
ALG_CMD7 = 6'b011100; w // <(wa)
ALG_CMD8 = 6'b011100; w // <(wa)
ALG_CMD9 = 6'b111000; r // >(ra)
ALG_CMD10 = 6'b111000; r // >(ra)
ALG_CMD11 = 6'b111000; r // >(ra)
ALG_CMD12 = 6'b000000; → EOT should be 0.
MEN = 1;
#cyc send_command({PRL_ON, GRP_EN, MEB_ID, BG, ALG_CMD, MEN});
    
```

r=ra, R=rb, w=wa, W=wb

} March C+

▶ 量產後利用元素調整測試演算法

UDA 搭配 EZ-TEC 可以合為一個獨立的 IP，既不影響到客戶內部本身的 DFT (Design for Testability, 可測試性設計) 方案，還能加上芯測科技的解決方案，僅增加客戶微幅的成本，卻能達到顯著的晶片測試品質提升。如果搭配芯測科技的 Repair 修復技術，還能提高晶片的整體良率，降低 DPPM，讓晶片達到最佳品質。

AI 時代

芯測科技記憶體修復技術成為關鍵角色

人工智慧 (AI) 技術的進步，讓 AI 系統擁有感知、學習、推理、分析、溝通、理解和解決問題的能力。隨著半導體技術不斷突破，晶片的設計與功能已經從單一的算術邏輯運算，發展到如今具備人工智慧功能的層次。然而，開發 AI 晶片的過程中，必須經歷嚴格的驗證流程，以確保其穩定運行。某知名大廠的 AI 晶片 Blackwell 因設計缺陷而導致發貨延期，這不僅影響了公司 2025 年 2000 億美元的預期收入，更對其客戶的產品開發進度和商譽造成了巨大損失。因此，確保大型晶片的設計符合功能要求以及晶片良率，成為晶片設計業者在產品開發上的重中之重。

優質的晶片設計不僅要求功能強大，更需要完善的測試與驗證方案來確保其高良率。特別是在 AI 晶片領域，為了滿足複雜的運算需求，其內部會嵌入各種記憶體，這些記憶體的面積占比有時甚至超過晶片總面積的 60%。

因此，記憶體的良率是 AI 晶片能否正常運作的重要關鍵之一。確保記憶體功能正常運行的測試方案包含 MBIST 和 MBISR。MBIST (Memory Built-in Self Test) 為廣泛應用的測試方案，當發現記憶體錯誤時，MBISR (Memory Built-in Self Repair) 則會進行修復，以提升整體良率。

芯測科技作為業界少數提供 MBIST/MBISR 測試方案的 EDA 工具與 IP 供應商，憑藉專利化架構與高效率的記憶體修復技術獲得國際知名大廠的青睞。

記憶體修復技術的特點

- 簡化操作介面：芯測科技的記憶體修復技術突破傳統的「模板化設計」，採用「開啟即電路產生」(Turn-on & Generation) 的創新設計。可快速完成修復電路，大幅縮短開發周期。
- 高效修復技術：芯測科技提供硬修復與軟修復方案，讓客戶可以根據晶片的啟動效率或成本需求，進行靈活選擇。
- 冗餘修復技術：當無法生成冗餘記憶體時，可採用芯測科技的「Stand-alone」修復技術來實現記憶體自我修復。
- EZ-Safety IP：EZ-Safety 為獨立的 IP，能在晶片運行過程中，即時通知 EZ-Safety IP 進行記憶體測試。若測試過程中發現瑕疵，EZ-Safety IP 亦能進行修復，確保晶片持續穩定運作。

這些記憶體修復技術為晶片設計業者提供了靈活的選擇，並應用於各種 IC 設計。尤其是在 AI 晶片的主流產品開發上。隨著全球對 AI 應用技術的大量投入，透過專業成熟的 EDA 工具來開發 AI 晶片，將有助於晶片設計業者更有效地達到預期的良率標準。

晶片的成本 VS. 質量

《晶片戰爭》這本書中清楚地詮釋了晶片產業的整個歷史，從戈登·摩爾提出摩爾定律，羅伯特·諾伊斯創立英特爾，到張忠謀創立台積電。晶片產業自始就是頂尖高手較勁的舞台，任何一個失誤都可能導致市場地位的喪失，甚至被無情淘汰。如韓國三星及 CPU 霸主英特爾都因為策略失當及製程工藝遭遇瓶頸，導致技術及市佔率遠遠落後於台積電。

特斯拉的馬斯克為了降低產品的成本創造了一個著名的概念「白癡指數」，用來衡量零件取得成本與材料成本的比值。如果這個指數過高，就意味著零件設計太複雜或太沒效率，需要透過更高效的製造技術來降低成本。

在晶片產業中，為了降低成本，企業也採取多種方式，如自主研發或減少非主要功能性的輔助設計。然而，自主研發也存在風險，可能因為經驗不足或設計不周而導致晶片產品不符合市場需求，最終以失敗告終，甚至失去市場先機。

牛頓曾說：「如果我能看得更遠，那是因為站在巨人的肩膀上。」晶片產業能夠持續遵循摩爾定律的快速發展，正是因為這些「巨人的肩膀」可以不斷被複製。晶片設計公司為了迅速推出符合市場需求的產品，通常會購買成熟的 IP，如 CPU IP、影像處理 IP 等，並將這些 IP 與自身的專業知識和產品定義相結合，以加速新產品的設計過程。



在現今的晶片設計中，最常考慮的就是如何不讓終端客戶使用到功能缺陷的晶片和如何確保晶片的質量。同時，又必須考慮晶片設計的成本。這往往成為晶片設計公司能否在競爭激烈的環境下生存的關鍵點之一。

芯測科技多年來專注於晶片記憶體自我測試與修復 (MBIST & MBISR) 技術，能夠為客戶提供高質量的自我檢測電路。透過這些解決方案，能夠幫助客戶修復超過 50% 的失效晶片，提高產品良率。同時，芯測科技是目前大中華地區唯一通過 ISO 26262 TCL1 最高軟體工具信賴水準認證的企業。

芯測科技提供的 EDA 工具包括 START、EZ-BIST；IP 包含 eFlash BIST IP、EZ-TEC IP、EZ-Safety IP、EZ-Monitor IP；定制化功能包含高效率記憶體修復技術獲得中國專利，使用者自定義指令集 (UDA) 更獲得美國專利。透過上述的專利所衍生出的定制化功能，可以幫助客戶快速完成現代晶片所需的測試設計，確保晶片的高質量。而增加的電路面積對比於記憶體本身面積不到 1.5%。因此，芯測科技的記憶體測試與修復解決方案能提供晶片設計業者兼具晶片質量與晶片成本的最佳解決方案。

芯測科技致力為客戶提供高性價比的產品，其具有競爭力的價格和高質量高效率的產品，幫助客戶大幅縮短產品開發的時間和成本。芯測科技產品的成本與質量優勢，成為近年來眾多晶片設計業者的首選。



芯測科技 eFlash 測試與修復 IP 廣泛應用於車用電子晶片

全球汽車朝向電動化與智慧化發展。隨著車用電子技術不斷提升，車用電子晶片的需求大幅增加。其中包含電源管理 IC、感測器、類比 IC 等不同的規格提升。同時電動車及能源車也持續提升車用 IC 成長動能。為確保車用電子晶片在各種複雜的情況下運作，同時保障駕駛與乘客的行車安全，芯測科技所開發的 eFlash 測試與修復 IP 能縮短 eFlash 測試時間，充分實現 eFlash IP 所需的測試項目，並降低晶片測試成本。

芯測科技的 eFlash 測試與修復 IP，可針對許多知名的半導體廠商提供客製化 eFlash 測試與修復 IP，並將客製化 eFlash 測試與修復 IP 使用於 SoC 中。芯測科技 eFlash 測試與修復 IP 已獲得中國新能源車廠的晶片供應商採用。

eFlash BIST IP 的主要優勢

- 協助客戶縮短實現 eFlash 測試與修復電路的開發時間。
- 充分實現 eFlash 所需要的完整測試項目。
- 縮短 eFlash 測試時間。

車用晶片供應商可透過芯測科技的解決方案完成 eFlash 的測試與修復項目，縮短車用晶片的開發時間、提高行車安全性和降低晶片測試成本。使用 IP 儼然成為系統晶片設計上不可或缺的一環。採用芯測科技的客製化 eFlash 測試與修復 IP，能夠充分滿足客戶提高晶片質量與降低晶片測試成本的需求。



芯測科技為 EDA 工具與 IP 授權客戶 提供設計服務項目

芯測科技專注於 EDA 工具與 IP 領域，提供記憶體測試與修復解決方案；並擴大設計服務項目，為 EDA 工具與 IP 授權客戶，提供完善的設計服務幫助客戶節省晶片開發的時間。

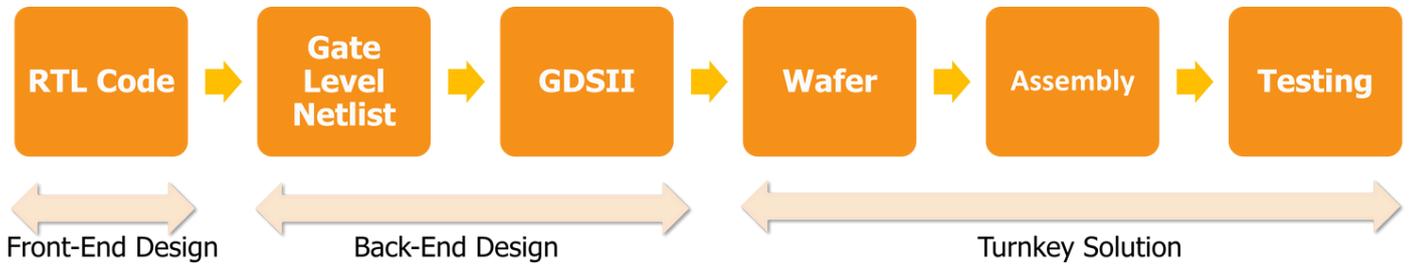
設計服務項目

- 後端設計服務 (Back-End Design Service)
- 專案規格制定設計服務 (Spec-in Design Service)
- 晶圓製造服務 (Fabrication Service)

後端設計服務包含 SRAM 的測試與修復 (SRAM BIST/BISR)、掃描鏈添加 (SCAN Chain Insertion)、邏輯內建自我測試 (Logic BIST)、佈局與繞線 (Automatic Place and Route, APR)、自動測試向量生成 (Automatic Test Pattern Generation, ATPG) 等設計流程。完成以上流程後，芯測科技將提供客戶 GDSII 文件進行後續的製造和測試。

在規格制定方面，芯測科技能夠根據客戶的需求提供完整的「專案規格制定」(Spec-in) 設計服務，包含 SoC 架構設計、系統整合與驗證、功耗與效能評估與系統原型製作等服務。協助客戶在 SoC 設計階段評估系統效能，確保 SoC 發揮最佳功能，並結合功耗分析流程與設計方法來解決 SoC 的功耗問題。

同時，芯測科技提供晶圓製造服務，包括多項目晶圓 (Multi Project Wafer, MPW) 及流片 (Tape-Out) 等晶圓代工服務。



目前在 TSMC 22 奈米、12 奈米和 7 奈米的先進製程技術已實現晶片量產，客戶的終端產品應用於 AI、ADAS、WiFi、Automotive Block 等相關領域。

Process	Foundry	Key Features
7nm	TSMC	Automotive Block
7nm	TSMC	AI
12nm		
12nm	TSMC	Automotive ADAS
22nm		
22nm	TSMC	WiFi

芯測科技針對 EDA 工具與 IP 授權客戶提供完整的設計服務，增加與客戶的黏著度，協助客戶節省內部資源，確保產品的高質量和時效性。

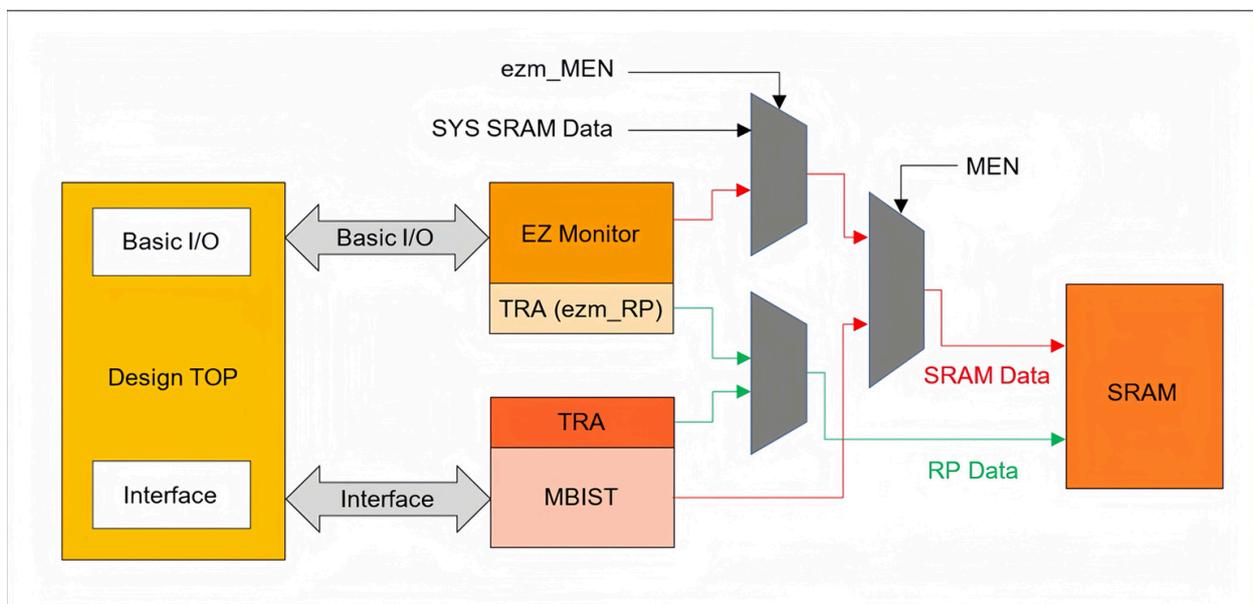


透過 EZ-Monitor IP 確保晶片生命週期

隨著安全規格的持續更新，確保記憶體在長時間運行下的正確性變得至關重要。EZ-Monitor IP 是在上電後 (function mode) 針對個別關鍵記憶體進行測試。不僅支援軟修復 (soft repair)，還能與現有的記憶體內建自我測試 (MBIST) 電路共存。這種軟修復技術能增加晶片的韌性，而 EZ-Monitor IP 與 MBIST 電路的兼容性則為客戶在應用上帶來更多的便利性與彈性。

EZ-Monitor IP 架構圖

EZ-Monitor IP 電路可以與現有的 MBIST 電路共存，並插入在需要上電測試的關鍵記憶體旁。如圖一所示。利用多工器切換 SRAM 控制訊號，並使用 ezm_MEN 作為『使能訊號』，最終通過 Basic I/O 介面接到頂層。值得注意的是，電路的插入需遵循各自的時鐘域 (clock domain)。



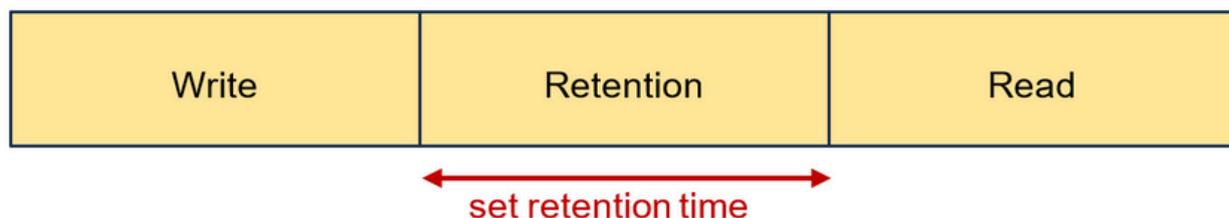
► 圖一、EZ-Monitor IP 架構圖



EZ-Monitor IP 演算法行為

EZ-Monitor IP 使用保留測試演算法 (Retention Test)，在讀寫行為之外插入保留狀態 (Retention State)。EZ-Monitor IP 支援兩種方式。第一種方式是固定保留時間 (Fixed Retention Time)，將保留時間預先寫入電路中，所有測試的保留時間一致。第二種方法使用握手機制 (Handshake)。通過介面，EZ-Monitor IP 在完成記憶體測試資料寫入後，它將發送 RET state 訊號並進入保留狀態。當用戶準備結束保留狀態時，可向介面發出 RET done 訊號進而結束保留狀態，啟動讀取。如圖二所示。

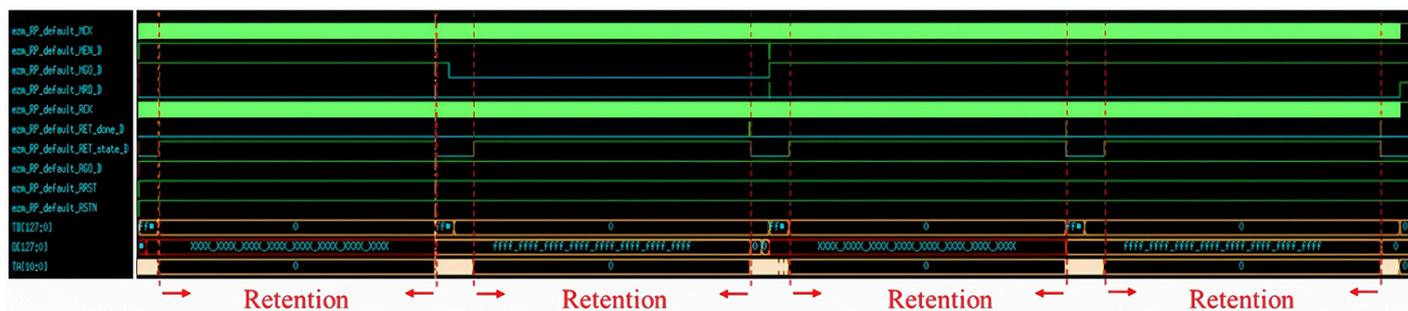
Fixing retention time:



Handshake:



► 圖二、EZ-Monitor IP 演算法行為



▶ 圖六、EZ-Monitor IP 介面波形 2

EZ-Monitor IP 介面腳位

EZ-Monitor IP 支援 Basic I/O 介面。ezm_MEN 為電路的使能訊號；ezm_RET_done 為握手機制的控制訊號；ezm_MGO 是記憶體測試的結果；最後由 ezm_RGO 判斷是否可以進行記憶體修復。如圖七所示。

Signal	Descriptions
ezm_MCK	ez Monitor controller Clock
ezm_MEN	ez Monitor controller Enable
ezm_MGO	ez Monitor test pass/ fail
ezm_MRD	ez Monitor finish test
ezm_RSTN	ez Monitor reset (active low)
ezm_RET_state	Retention start
ezm_RET_done	Retention finish
ezm_RGO	Repair available (Repair)
ezm_RRST	Repair reset (Repair)
ezm_RCK	Repair controller clock (Repair)

▶ 圖七、EZ-Monitor IP 介面腳位