

iSTART iReport

专利 Patent

芯测科技「METHOD FOR GENERATING AN MEMORY BUILT-IN SELF-TEST ALGORITHM CIRCUIT」成功取得美国专利证书P1

新闻 News

芯测科技(上海芯复瑞)客制化 EDA 工具结合云端与 AI 抢攻车用电子商机P2

技术文章 White Paper

Highly configurable RRAM IP testing and repairing circuits development environment: EZ-NBIST P3

芯测小学堂 iSTART Class

芯测小学堂第一集: BIST & BISRP9
 芯测小学堂第二集: Testing AlgorithmsP10
 芯测小学堂第三集: EZ-DebugP11
 芯测小学堂第四集: iSTART-TEK Technical Service .P11
 芯测小学堂第五集: START & EZ-BISTP12
 芯测小学堂第六集: Customer Testimonial - iTEP13
 芯测小学堂第七集: Customer Testimonial - Rafael MicroP14
 芯测小学堂第八集: Specific functions for Automotive and HPCP15
 芯测小学堂第九集: Preview new products and functions: EZ-Safety & EZ-TECP16

芯测科技「METHOD FOR GENERATING AN MEMORY BUILT-IN SELF-TEST ALGORITHM CIRCUIT」成功取得美国专利证书

芯测科技的使用者自定义算法开发平台 UDA (User-Defined Algorithm) 采用此专利的架构。目前市面上常见的内存测试算法，会有重复测试的行为，而需要花费更多测试时间与成本。同时随着科技演进，先进制程不断诞生，现有算法也可能无法侦测到先进制程的内存缺陷，无法满足与时俱进的需求。

芯测科技(上海芯复瑞)的专利「用于产生内存自我测试算法电路之方法 (METHOD FOR GENERATING AN MEMORY BUILT-IN SELF-TEST ALGORITHM CIRCUIT)」即是可有效改良此现况的先进技术。透过使用者自定义算法 (User-Defined Algorithm, UDA)，可去除重复的 elements，并自行编辑算法档案、自行定义内存位置，大幅缩短内存测试时间。此外，UDA 还能设计出复杂度较高且电路面积精简的内存测试算法，更具弹性及多元化。

此技术继 2022 年取得台湾专利后，更在 2023 年 10 月成功取得美国专利，不仅是对芯测科技(上海芯复瑞)研发能量的肯定，也让芯测科技(上海芯复瑞)更有信心帮助客户解决内存测试的疑难杂症、提高设计和生产效率。

[查看原文](#)

芯测科技(上海芯复瑞)客制化 EDA 工具结合云端与 AI 抢攻车用电子商机

过去这几年，因为国际情势、地缘政治、经济发展等各种因素影响，半导体产业成了全球的热点话题。半导体供应链都在力求突破现状，抢占新的商机，EDA 作为芯片设计的重要工具，也成为半导体产业的重中之重。芯测科技(上海芯复瑞)专注于 EDA 产业「内存测试与修复」的专业领域，随着 AI、车用电子、物联网、工业应用等趋势下，IC 设计的复杂度大幅提升，让 EDA 产业有着极大的发挥空间。

上海芯复瑞总经理王筱萍指出，芯测科技(上海芯复瑞)专注研发更自动化的 EDA 工具。其主要发展方向是将 EDA 工具加入云端与 AI。透过灵活的云端解决方案，快速提升工作效率、缩短项目完成时间；并结合高度自动化的 GUI 操作，让客户在使用上更加方便、易操作。芯测科技(上海芯复瑞)努力让我们的 EDA 工具具备领先世界的水平，秉持高度自动化、运用云端创新与实时的服务，以质取胜，以服务撼动人心，推动芯测科技(上海芯复瑞)踏入一个全新的发展阶段。

王筱萍说，芯测科技(上海芯复瑞)有计划性地逐步拓展市场，布局更全方位的面向来提升市场竞争力。首先，因应中国半导体产业发展兴起与未来市场规模呈现增长的趋势，芯测科技(上海芯复瑞)于 2022 年底成立上海子公司，以期达到更有效率的拓展市场版图与强化服务。抢占中国 EDA 市场，为芯测科技的发展建立稳固且更多元的基础，更规划放眼全球，将芯测科技(上海芯复瑞)的专业技术与核心价值传达到全世界。

芯测科技(上海芯复瑞)财会处资深处长张开诚表示，芯测科技(上海芯复瑞)在 2022 年 YoY 高达 146%，2023 年 1~10 月营收，也较去年同期成长达 76.6%。2023 年全球经济笼罩在不景气的气氛下，芯测科技的营收仍逆势维持 76.6% 的成长，充分显示即便市场景气不佳，客户对于 EDA 工具的需求仍然殷切，更表示对于芯测科技(上海芯复瑞)EDA 工具的肯定。近期，芯测科技(上海芯复瑞)全体同仁为了上市柜的目标而努力，希望透过公司顺利上市柜，吸引更多优秀的人才，持续扩展 EDA 工具的涵盖面与增加产品线，开发更多潜在市场，创造更大的利润以回馈股东。

此外，新冠疫情期间，芯测科技(上海芯复瑞)经历了营收的低潮期，上海芯复瑞副总经理谢太平提到，在疫情期间，即便当时的隔离政策相当严谨，依然积极拜访客户。主要原因在于车用电子及算力在未来会是一个庞大的商机。因此，芯测科技(上海芯复瑞)专注于车用电子与高性能计算相关的内存自检电路开发。目前已完成 POT (Power_On Test)、MSW (Memory Status Watch-Dog)、Circuit Self-Verification (CSV)、Automatic Repairing Flow (ARF)、Testing Element Configuration (TEC)等功能，让客户应用这些新功能在产品上，增加产品竞争力。」

2023 年全球半导体景气不佳，芯测科技(上海芯复瑞)依然秉持技术深耕、精准服务的原则，努力创造出业绩成长的契机。

[查看原文](#)

Highly configurable RRAM IP testing and repairing circuits development environment: EZ-NBIST

1. Testing methodologies of RRAM IP

The testing methodologies of RRAM IP covers full wafer sort, and final test for UMC's 22nm process and customized embedded RRAM IP.

iSTART-TEK develops EZ-NBIST GUI tool to save BIST coding time of RRAM IP.

EZ-NBIST follows RRAM vendor's testing methodologies to implement all test items' timing diagrams and save parallel long testing time in ATE.

2. Why RRAM IP needs to use BIST and BISR?

RRAM IP has complicated testing functions to cover each disturbing condition in 22nm process.

The memory BIST adds logic to an IC which allows the SoC to test its own memory operation.

MBIST tests the RRAM macro through an effective test algorithm to detect possibly all the faults. MBIST generates test patterns from RRAM vendor requirement to the RRAM macro and reads them to find any RRAM defects.

BISR adds repair circuit to backup memory to increase the RRAM IC yield.

3. How iSTART-TEK accomplish BIST and BISR of RRAM IP?

iSTART-TEK develops EZ-NBIST GUI tool to generate BIST and BISR of RRAM IP.

iSTART-TEK BIST implements all RRAM test items to cover wafer soft and final test. BIST interface is a flexible serial interface to reduce IC test pins. Increase BIST test flexibility, all test items can be enabled and disabled individually. Provide diagnosis mode to debug defect address.

iSTART-TEK BISR records RRAM faulty memory address and use redundancy to increase RRAM IC yield. Provide auto repair function.

Figure 1 shows RRAM test and repair solutions.



Figure 1

4. What is EZ-NBIST?

EZ-NBIST is an RRAM GUI tool to generate BIST and BISR of RRAM IP.

Figure 5 shows the perspective of EZ-NBIST GUI. Click “EZ-NBIST Config” from “Config” drop-down menu.



Figure 5

Users click “Run...” from “Run” drop-down menu to execute EZ-NBIST in Figure 6.



Figure 6

5. How many RRAM IP are included in EZ-NBIST?

EZ-NBIST GUI supports following RRAM IP for UMC 512Kx32, 64Kx32 IP sizes and customized IP sizes.

Users can choose customized RRAM macro types, vendor types and specific RRAM macro sizes as shown in Figure 7 and Figure 8.



Figure 7



Figure 8

6. What kinds of interface are included in EZ-NBIST?

EZ-NBIST GUI supports 3 flexible serial interfaces JTAG, IEEE1149.7, and SPI as shown in Figure 9.

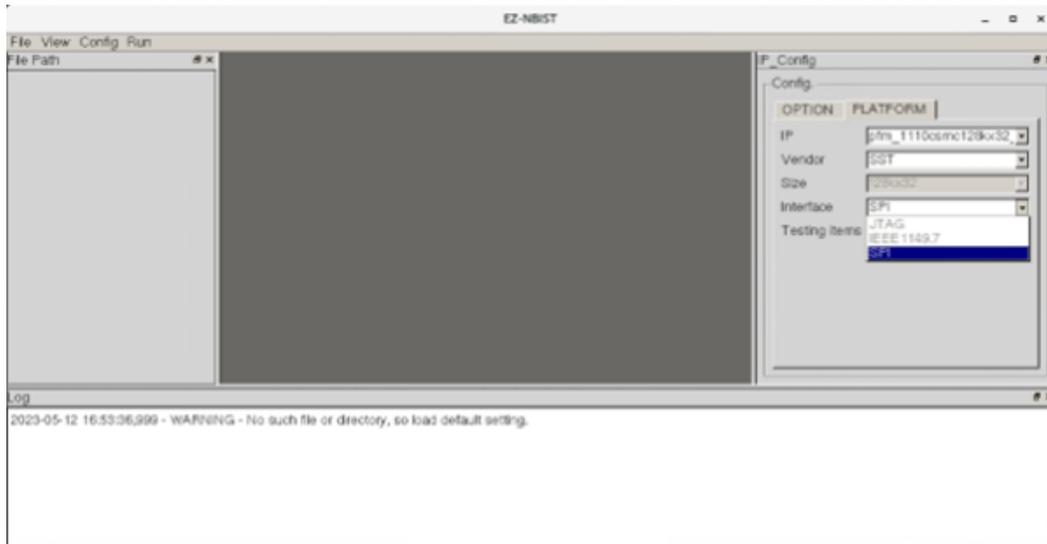


Figure 9

Figure 10 shows RRAM test and repair block with IEEE1149.7 interface.

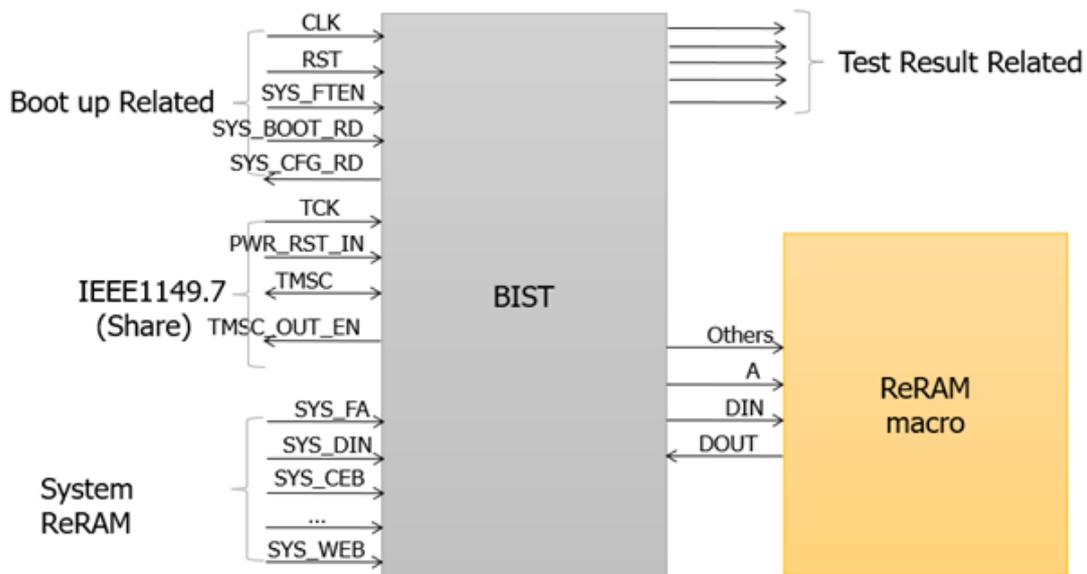


Figure 10

7. How flexibility of EZ-NBIST?

EZ-NBIST supports configurable BIST and BISR IP for different RRAM macro sizes. All RRAM timing parameters can be adjusted. Figure 11 shows all test items can be enabled and disabled individually.

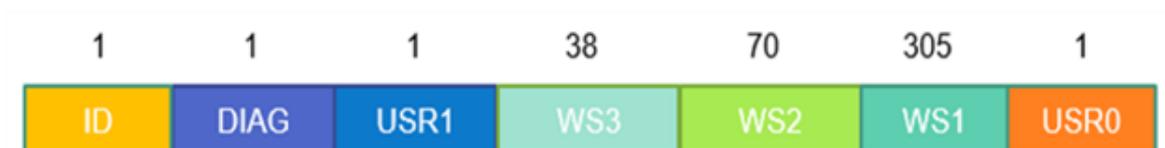


Figure 11

EZ-NBIST can help users to generate the complete synthesis RTL, the verification environment, the testing patterns, the behavior model, and the customized RRAM database as shown in Figure 12.

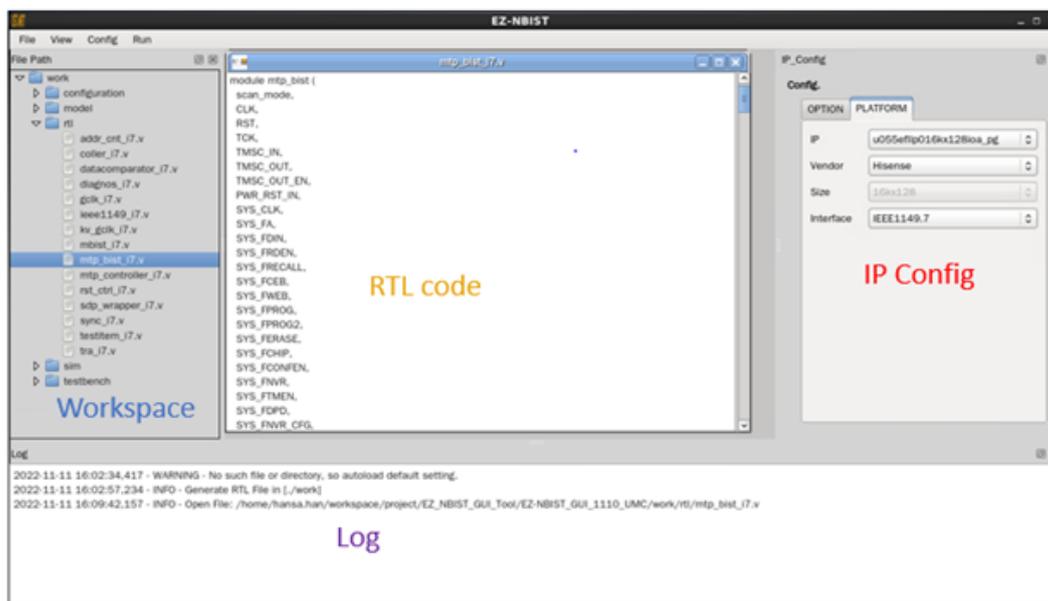


Figure 12

To execute simulation with RRAM model, users can select a test pattern to generate simulation dump files. For example, execute “2” in Figure 1 to start “ws1” testing item’s simulation flow.

8. Conclusion

EZ-NBIST provides RRAM BIST/BISR with professional testing items. EZ-NBIST saves RRAM tuning parameter timing time in ATE. The RRAM BIST and BISR area overhead of SoC is acceptable.

EZ-NBIST is also easy to set for accomplishing RRAM IP’s testing circuit.

查看原文

芯测小学堂第一集: BIST & BISR

BIST & BISR 对于 SoC 有什么影响?

这个问题我们从最近热门话题 ChatGPT 来谈起，ChatGPT 属于 AI 的应用，AI 的处理需要靠高端的 CPU 或 GPU 来做计算，这些 AI 复杂的计算当然就会使用到大量的内存，要确定内存是否能正常运作，在 SoC 从晶圆厂制造出来后就需透过 BIST 来做检测，检测到有问题的内存就可以用 BISR 来做修复。

目前 AI 的晶圆都是采用先进制程来制造的，先进制程的 SoC 除了会发生所谓的静态瑕疵外，还会有动态瑕疵的发生，所以好的 BIST 自我检测方案电路设计，要能精确的将静态瑕疵、动态瑕疵检测出来。但是 BIST 只能检测出瑕疵，如果要将坏的晶圆变成可以使用的 Chip 就需要透过修复方案，透过 BISR 的电路将坏的内存取代，转而使用好的 Redundancy 内存让晶圆可以恢复正常运作。

芯测科技(上海芯复瑞)是专业的 BIST & BISR EDA 工具提供商，有将近 40 篇的专利在 BIST & BISR，透过我们的 EDA 工具可以达成我们所谓的 APA 的成果，APA 就是 Algorithm、Performance & Area，意思就是芯测科技(上海芯复瑞)的工具可以提供多样的内存检测算法，工具有良好的执行效率，所产出的 BIST & BISR 电路面积也是最小的。芯测科技(上海芯复瑞)是目前亚洲区专业提供 BIST & BISR 的 EDA 工具与客制化 IP 公司，EDA 工具适用于现今所有的 IC 设计，目前客户包含有 AI、车用、手机、网络、显示器等等的应用。

透过客户使用的回馈，芯测科技(上海芯复瑞)的工具在各类型的芯片，藉由 EDA 工具可以快速正确的产生 BIST & BISR 电路，帮客户检测出内存的瑕疵，有效的提升客户芯片的质量及芯片的良率。

[查看原文](#)

芯测小学堂第二集: Testing Algorithms

「静态失效」和「动态失效」这两者有什么不同呢？

「静态失效」和「动态失效」是内存中的两种错误。简单来说，静态失效和动态失效的区别在于故障出现的方式和时机。静态失效是一种在单次操作下就能被探测到的故障。它像是一个明显的错误，当我们对内存进行操作时，它就会出现，就像按一个按钮却没有反应一样。举个例子，如果某个内存单元永远只能输出「0」而无法改变，这就是一种静态失效。

而动态失效则需要多次操作才会被触发。这就像是一个有些复杂的问题，需要特定的条件或操作来显现。举例来说，某个内存单元可能在某种特定的情况下，例如经过多次读写操作后，才会产生错误。

简单来说，静态失效与动态失效主要区别在于故障呈现的方式。静态失效是明显且单次操作就能发现，而动态失效则需要特定条件下的多次操作才会暴露。但值得一提的是，静态失效可能在各种制程中出现，而动态失效通常在高阶制程中才会出现。现今许多应用逐渐朝向高阶的制程发展，这也是我们要关注的一个趋势。

举例来说，有一个算法叫「March C」，它是一种用来检查内存中静态失效的方法。March C 通过一系列的读写操作，让内存单元进行不同的状态变化，并在每次操作后验证之前的状态是否正确。如果在某个步骤出现错误，就表示有静态失效存在。简而言之，March C 透过特定的操作序列，来帮助我们找出那些单次操作就能发现的内存问题。

还有一个算法叫做「March 33N」，它是用来寻找动态失效的方法。March 33N 复杂度相对较高，透过一系列读写操作以及特定的步骤，让内存单元在多次操作后产生变化。在每次操作后，算法会执行读取操作，检查是否出现任何意外的故障。如果在特定操作后内存出现错误，就表示有动态失效存在。

此外，除了有各种不同的算法之外，在做检测时，也有不同的测试方法。例如

「Checkerboard」的测试方法，Checkerboard 的概念是在内存单元之间交替写入「0」和「1」，然后进行读取操作，检查是否出现错误。这个方法有助于我们找出需要多次操作才会被触发的动态失效问题。

[查看原文](#)

芯测小学堂第三集: EZ-Debug

EZ-Debug 的主要功用与工作效率？

EZ-Debug 就是直接连接在我们计算机端跟 IC 或是 FPGA 端的一个转接板，我们在计算机端可以简单的利用这套工具，对 FPGA 或是 IC 端做测试，确认电路中间是否有一些错误发生，他会直接告诉我们错误发生的位置，也就是「Architecture」。

一般 IC 测试公司会购买 ATE 测试机台来进行自动测试。而采用芯测科技(上海芯复瑞)的内存诊断环境 EZ-Debug，不但性价比高，同时工作效率快。如果接口是 IEEE1500 的话，最快可以达到 30MHz，也就是每秒钟可以送 3000 万个信号进去测试。

[查看原文](#)

芯测小学堂第四集: iSTART-TEK Technical Service

芯测科技(上海芯复瑞)提供的客户服务项目？

我们客户服务的项目有分在线和线下。在线包含了官网上的信息，芯测科技(上海芯复瑞)官网上点选技术支持的字段，会出现技术文章、文件下载和技术论坛也就是 Workshop。技术文章我们会写关于各产品工具的使用方法及功能以及适合应用在哪里，主要做技术相关的知识传递及推广；文件下载是关于我们工具的使用手册及相关文件，技术论坛我们使用 Workshop 平台，除了平常包工具上传到 Workshop 供客户下载外，此平台还有另一个功能就是点进去各个工具名字里面，有更详细的 Function 原理解释，以及客户最常会问的问题也包含在里面。另外，我们也定期举办 Webinar 与芯测小学堂的视频。每次 Webinar 都会针对不同主题做介绍，芯测小学堂则是适合普罗大众，快速吸收 MBIST 的概略原理。线下则是实际上的技术支持—举凡打电话、Email 以及直接与 RD 做技术沟通。甚或是 RD 直接做 On site support 至客户端支持，支持内容包含直接帮客户的真实案子实作，或是教育训练教导客户怎么使用工具。另外我们也举办实体 iSTART-TEK Design Workshop，邀请客户来聆听我们解决方案有哪些，包含工具操作以及深入的技术探讨，由多位 RD 当场为各位解答问题等等。

[查看原文](#)

芯测小学堂第五集: START & EZ-BIST

芯测科技(上海芯复瑞)提供哪些自动化的内存测试与修复 EDA 工具？

芯测科技(上海芯复瑞)有几个主要的产品线，其中包含能够快速产生内存测试与修复电路的 EDA 工具 - START。START 是 SoC's memory Test And Repair Technology 的缩写。Test 指的是「内存测试功能」；而 Repair 指的是「内存修复技术」，包含 Hard-Repair 和 Soft-Repair 两种高效率的内存修复技术，这两种 Repair 都能有效地提升芯片良率。

除了 START 之外，芯测科技(上海芯复瑞)还有什么样的产品？

这边先介绍一个比较常跟 START 一起被提到的 EDA 工具 - EZ-BIST。其他产品也会在之后几集跟大家介绍，敬请期待！EZ-BIST 跟 START 最大的差别在于 EZ-BIST 仅提供内存测试电路开发的功能。主要原因在于，不同的应用会有不同的需求，而芯测科技(上海芯复瑞)希望能提供使用者最符合需求的工具。值得一提的是，为了让 EZ-BIST 在使用上能工具如其名的 EZ，它还支持 GUI 模式，让那些对指令较不熟悉的使用者，可以透过图形化界面达到更直观省时的操作。另外，如果对算法不熟悉或是不确定要选择使用哪个算法时，EZ-BIST 还能参考使用者所选择的应用，进行算法选择上的建议，不得不说真的相当 EZ！

芯测科技(上海芯复瑞)自动化的内存测试与修复核心技术有拿到多项专利，除了创新独特的构架与技术外，芯测科技(上海芯复瑞)的 START 和 EZ-BIST 还有哪些优势？

除了在内存测试与修复技术上拥有近 40 项的专利外，START 和 EZ-BIST 在使用上更提供许多自动化功能，包含：内存自动辨识 Auto-Identify、内存时脉追踪 Clock Tracing 及内存自动分群 Grouping 等功能。自动 Grouping 可以选择使用预设的方式进行，也可以依照使用者的需求，在不同的条件下，一样能做到自动 Grouping。这些优势能够省去许多手动进行细项设定与修改的时间，让使用者大幅缩短芯片开发的时程。另外，我们也有提供诊断功能、EZ-Debug 以及 ATE 机台的数据分析平台，让芯片开发人员能够更方便更快速获取内存测试后的诊断分析与结果。不仅如此，芯测科技(上海芯复瑞)自动化的 EDA 工具也针对车用电子与高效能运算等相关应用芯片，提供许多特别进阶的 Feature，关于这部分，后续我们会在其他几集做更详细的介绍。

芯测科技(上海芯复瑞)自动化的 EDA 工具，START 和 EZ-BIST 不仅能够协助 IC 设计公司，有效提升芯片的良率，还可以透过多项功能，缩短内存测试与修复电路开发的时程。

[查看原文](#)

芯测小学堂第六集: Customer Testimonial - iTE



联阳是芯测科技(上海芯复瑞)长久以来的合作伙伴，使用芯测科技(上海芯复瑞)的产品为联阳芯片带来什么样的效益与帮助？

选择芯测科技(上海芯复瑞)做为合作伙伴的原因除了价格具有竞争力外，主要的考虑点是弹性支持服务，如客制化。举例：在 8 吋成熟制程的内存修复功能的导入初期，原始良率约 90%，SRAM 50%有 Repair 设计，fail 救回机率 97%，整体良率提高至 94.3%，面积增加 0.3%。此外，芯测科技(上海芯复瑞)支持多样化的测试接口，使 ITE 可依产品需求选择 JTAG 或 Basic I/O 接口。另外在 tool 上简单易用，可快速整合进 ITE Design Flow，降低 DPPM 客退问题，提升测试严谨度与良率。

目前联阳芯片大多使用在什么样的终端产品？

目前 ITE 最大的比例是用于 PC/NB 相关的产品，这也是 ITE 的主力产品。此外，ITE 也有影像相关的 Video Bridge 及 SoC 产品会使用到大量的 SRAM，因此也会将贵司的技术会使用到终端产品上。

芯测科技(上海芯复瑞)不断的在技术上深耕，并提供更完善的服务，希望能协助更多的 IC 设计公司，提升芯片良率、缩短开发时间及降低芯片成本。若您对内存测试与修复有兴趣，欢迎与我们联系，我们将提供最专业的自动化内存测试与修复解决方案及产品服务。

[查看原文](#)

芯测小学堂第七集: Customer Testimonial - Rafael Micro



芯测科技(上海芯复瑞)的产品为宏观微的芯片带来什么样的效益与帮助？

在晶圆制造的过程中，无可避免地都会遇到各式各样的 Memory defect。对于中小型 IC design House 来说，自行开发内存相关的测试流程，确实是一笔不小的负担，但又不得不做。因此藉由芯测科技(上海芯复瑞)的产品，让宏观微在 IC 设计开发上，更加弹性且更专注于无线通讯领域的发展。

芯测科技(上海芯复瑞)的 BIST 能自动将 IC memory defect 在量产测试时，完整的筛选出来；而芯测科技(上海芯复瑞)的 BISR 更能将 Defect memory 成功修复，并减少 30%因 Memory defect 造成的不良品。使宏观微未来在先进工艺 SoC 的良率及测试流程上的掌握度更高。

宏观微的芯片，大多使用在哪些终端产品？

宏观微是一家专注于无线通讯领域的公司，产品涵盖 TV Tuners and IoT product。TV Tuner 最常见的是 Video 传输时会需要使用到大量的 SRAM 做存储用；而 IoT SoC 也因物联网及 AI 蓬勃发展，会需要更多的 SRAM 做联网信息跟计算存储用，因此芯测科技(上海芯复瑞)的产品跟我们宏观微的产品将来合作会更密切。

[查看原文](#)

芯测小学堂第八集: Specific functions for Automotive and HPC

芯测科技(上海芯复瑞)的 EDA 工具，针对车用电子芯片与 HPC 芯片，提供哪些 Feature ？

在车用电子部分，支持了 POT、ECC 与 TEC 等功能。POT 有多种应用方式，包含将测试流程记录于 ROM 可以用来控制送出测试指令以及用 RTL 的形式或利用一个 signal 来控制，甚至也可以透过 CPU 来实现。如果是透过 CPU，便可做到「内存即时监控」，让车用电子芯片上电后，可立刻进行内存测试，并将芯片内发生错误的内存立刻进行修复，再针对修复后的内存进行检测，以确保修复后的内存能正常运作。另外，POT 还加入「内存测试电路的自我检测」，也就是透过「Error Injection」的方式来针对内存测试电路的正确性进行自我检测。而 ECC 用来确保系统在运行阶段时，数据的正确性；TEC 可弹性化调整内存测试单元，有效优化内存测试算法。这些功能特别着重在于安全性的提升与保障，也是为了符合车用电子芯片对安全性的规范。

那针对 HPC 芯片提供哪些定制化解决方案？

除了提供 POT 外，还有 Multi-Chain、PCA 和 MGD；Multi-Chain 让使用者可根据 SoC 设计的需求，透过多条修复连接的功能，规划出任意数量的连接，加以控制耗电量和传输速度，实现多样化的 SoC 设计；PCA 可根据内存功耗信息，控管内存分群的功耗，当内存分群后的功耗总值超过 SoC 的功耗上限值时，就会自动将内存重新分群；MGD 功能则是可以让使用者根据现有的 layout 进行内存分群的机制。这几项功能，再加上前面介绍过的 POT 与 TEC，都是能够针对 HPC 芯片来使用的解决方案。

[查看原文](#)

芯测小学堂第九集: EZ-Safety & EZ-TEC

芯测科技(上海芯复瑞)即将推出什么样的 IP 产品？

上一集有提过，芯测科技(上海芯复瑞)所提供的 EDA 工具针对车用相关芯片提供许多能够提升安全性的 Feature，在车用电子相关领域，安全性的保障极为重要，所以，除了 EDA 工具相关产品线外，芯测科技(上海芯复瑞)也持续规划出 IP 产品，如：EZ-Safety。

EZ-Safety 针对以往的 MBIST 构架进行调整，可以独立运行于原本的 MBIST 的构架，将内存测试时几个需要的重要信号拉出，能够更有效率地进行内存测试。并自动备份指定的内存信息，同时不必设限于只能在 Test Mode 下的测试，借以达到提高整体安全性的效果。另外，EZ-Safety 标榜在嵌入与整合上都相当容易且直观，不只对内存的检测更加即时与弹性，也特别支持了适合车用相关的测试算法来进行内存检测。

除了 EZ-Safety 之外，另一个是什么样的 IP 产品？

另一个要推出的 IP 产品是 EZ-TEC，同样可以独立运行于原本的 MBIST 的构架，也同样是易于嵌入与整合进设计的 IP。EZ-TEC 所实现的 MBIST 构架能够动态调整内存测试算法，之前有一集我们针对算法以及内存失效做过介绍，而 EZ-TEC 这个 IP，除了现有较为人知的常用算法外，设计者更能依照个别需求来对测试算法进行细节至 Element 的自定义，借此达到提升芯片良率的目的。

[查看原文](#)