

iSTART iReport

專利 Patent

芯測科技「METHOD FOR GENERATING AN MEMORY BUILT-IN SELF-TEST ALGORITHM CIRCUIT」成功取得美國專利證書P1

新聞 News

芯測科技客製化 EDA 工具結合雲端與 AI 搶攻車用電子商機P2

技術文章 White Paper

Highly configurable RRAM IP testing and repairing circuits development environment: EZ-NBISTP3

芯測小學堂 iSTART Class

芯測小學堂第一集: BIST & BISRP9
 芯測小學堂第二集: Testing AlgorithmsP10
 芯測小學堂第三集: EZ-DebugP11
 芯測小學堂第四集: iSTART-TEK Technical Service .P11
 芯測小學堂第五集: START & EZ-BISTP12
 芯測小學堂第六集: Customer Testimonial - iTEP13
 芯測小學堂第七集: Customer Testimonial - Rafael MicroP14
 芯測小學堂第八集: Specific functions for Automotive and HPCP15
 芯測小學堂第九集: Preview new products and functions: EZ-Safety & EZ-TECP16

芯測科技「METHOD FOR GENERATING AN MEMORY BUILT-IN SELF-TEST ALGORITHM CIRCUIT」成功取得美國專利證書

芯測科技的使用者自定義演算法開發平台 UDA (User-Defined Algorithm) 採用此專利的架構。目前市面上常見的記憶體測試演算法，會有重複測試的行為，而需要花費更多測試時間與成本。同時隨著科技演進，先進製程不斷誕生，現有演算法也可能無法偵測到先進製程的記憶體缺陷，無法滿足與時俱進的需求。

芯測科技的專利「用於產生記憶體自我測試演算法電路之方法 (METHOD FOR GENERATING AN MEMORY BUILT-IN SELF-TEST ALGORITHM CIRCUIT)」即是可有效改良此現況的先進技術。透過使用者自定義演算法 (User-Defined Algorithm, UDA)，可去除重複的 elements，並自行編輯演算法檔案、自行定義記憶體位置，大幅縮短記憶體測試時間。此外，UDA 還能設計出複雜度較高且電路面積精簡的記憶體測試演算法，更具彈性及多元化。

此技術繼 2022 年取得台灣專利後，更在 2023 年 10 月成功取得美國專利，不僅是對芯測研發能量的肯定，也讓芯測更有信心幫助客戶解決記憶體測試的疑難雜症、提高設計和生產效率。

[查看原文](#)

芯測科技客製化 EDA 工具結合雲端與 AI 搶攻車用電子商機

過去這幾年，因為國際情勢、地緣政治、經濟發展等各種因素影響，半導體產業成了全球的熱點話題。半導體供應鏈都在力求突破現狀，搶佔新的商機，EDA 作為晶片設計的重要工具，也成為半導體產業的重中之重。芯測科技專注於 EDA 產業「記憶體測試與修復」的專業領域，隨著 AI、車用電子、物聯網、工業應用等趨勢下，IC 設計的複雜度大幅提升，讓 EDA 產業有著極大的發揮空間。

芯測科技管理處副總經理王筱萍指出，芯測科技專注研發更自動化的 EDA 工具。其主要發展方向是將 EDA 工具加入雲端與 AI，透過靈活的雲端解決方案，快速提升工作效率、縮短專案完成時間，並結合高度自動化的 GUI 操作，讓客戶在使用上更加方便、易操作。芯測科技努力讓我們的 EDA 工具具備領先世界的水準，秉持高度自動化、運用雲端創新與即時的服務，以質取勝，以服務撼動人心，推動芯測科技踏入一個全新的發展階段。

王筱萍說，芯測科技有計畫性地逐步拓展市場，佈局更全方位的面向來提升市場競爭力。首先，因應中國大陸的半導體產業發展興起與未來市場規模呈現增長的趨勢，芯測科技於 2022 年底成立上海子公司，以期達到更有效率的拓展市場版圖與強化服務。搶占大陸 EDA 市場，為芯測科技的發展建立穩固且更多元的基礎，更規劃放眼全球，將芯測科技的專業技術與核心價值傳達到全世界。

芯測科技財會處資深處長張開誠表示，芯測科技在 2022 年 YoY 高達 146%，2023 年 1~10 月營收，也較去年同期成長達 76.6%。2023 年全球經濟籠罩在不景氣的氣氛下，芯測科技的營收仍逆勢維持 76.6% 的成長，充分顯示即便市場景氣不佳，客戶對於 EDA 工具的需求仍然殷切，更表示對於芯測科技 EDA 工具的肯定。近期，芯測科技全體同仁為了上市櫃的目標而努力，希望透過公司順利上市櫃，吸引更多優秀的人才，持續擴展 EDA 工具的涵蓋面與增加產品線，開發更多潛在市場，創造更大的利潤以回饋股東。

此外，新冠疫情期間，芯測科技經歷了營收的低潮期，芯測科技技術服務處資深處長謝太平提到，芯測科技在疫情期間，即便當時的隔離政策相當嚴謹，依然積極拜訪客戶。主要原因在於車用電子及算力在未來會是一個龐大的商機。因此，芯測科技專注於車用電子與高效能運算相關的記憶體自檢電路開發。目前已完成 POT (Power_On Test)、MSW (Memory Status Watch-Dog)、Circuit Self-Verification (CSV)、Automatic Repairing Flow (ARF)、Testing Element Configuration (TEC) 等功能，讓客戶應用這些新功能在產品上，增加產品競爭力。

2023 年全球半導體景氣不佳，芯測科技依然秉持技術深耕、精準服務的原則，努力創造出業績成長的契機。

[查看原文](#)

Highly configurable RRAM IP testing and repairing circuits development environment: EZ-NBIST

1. Testing methodologies of RRAM IP

The testing methodologies of RRAM IP covers full wafer sort, and final test for UMC's 22nm process and customized embedded RRAM IP.

iSTART-TEK develops EZ-NBIST GUI tool to save BIST coding time of RRAM IP.

EZ-NBIST follows RRAM vendor's testing methodologies to implement all test items' timing diagrams and save parallel long testing time in ATE.

2. Why RRAM IP needs to use BIST and BISR?

RRAM IP has complicated testing functions to cover each disturbing condition in 22nm process.

The memory BIST adds logic to an IC which allows the SoC to test its own memory operation.

MBIST tests the RRAM macro through an effective test algorithm to detect possibly all the faults. MBIST generates test patterns from RRAM vendor requirement to the RRAM macro and reads them to find any RRAM defects.

BISR adds repair circuit to backup memory to increase the RRAM IC yield.

3. How iSTART-TEK accomplish BIST and BISR of RRAM IP?

iSTART-TEK develops EZ-NBIST GUI tool to generate BIST and BISR of RRAM IP.

iSTART-TEK BIST implements all RRAM test items to cover wafer soft and final test. BIST interface is a flexible serial interface to reduce IC test pins. Increase BIST test flexibility, all test items can be enabled and disabled individually. Provide diagnosis mode to debug defect address.

iSTART-TEK BISR records RRAM faulty memory address and use redundancy to increase RRAM IC yield. Provide auto repair function.

Figure 1 shows RRAM test and repair solutions.

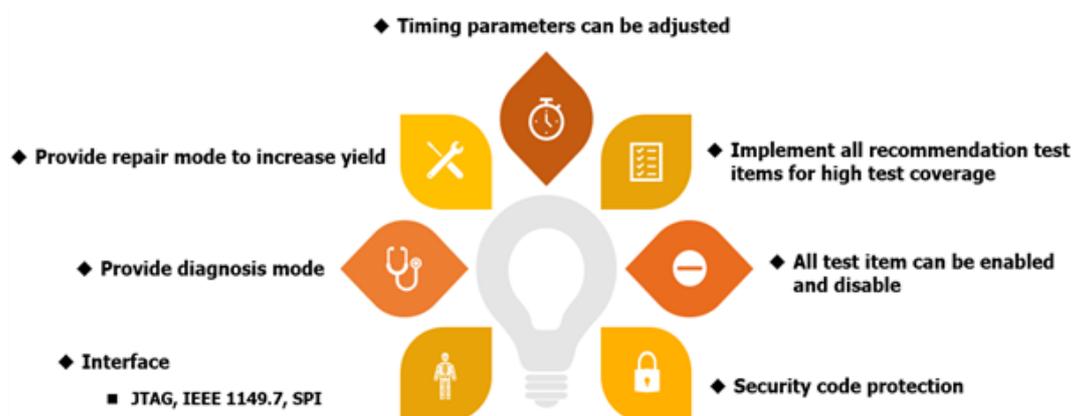


Figure 1

4. What is EZ-NBIST?

EZ-NBIST is an RRAM GUI tool to generate BIST and BISR of RRAM IP.

Figure 5 shows the perspective of EZ-NBIST GUI. Click “EZ-NBIST Config” from “Config” drop-down menu.



Figure 5

Users click “Run...” from “Run” drop-down menu to execute EZ-NBIST in Figure 6.



Figure 6

5. How many RRAM IP are included in EZ-NBIST?

EZ-NBIST GUI supports following RRAM IP for UMC 512Kx32, 64Kx32 IP sizes and customized IP sizes.

Users can choose customized RRAM macro types, vendor types and specific RRAM macro sizes as shown in Figure 7 and Figure 8.



Figure 7



Figure 8

6. What kinds of interface are included in EZ-NBIST?

EZ-NBIST GUI supports 3 flexible serial interfaces JTAG, IEEE1149.7, and SPI as shown in Figure 9.

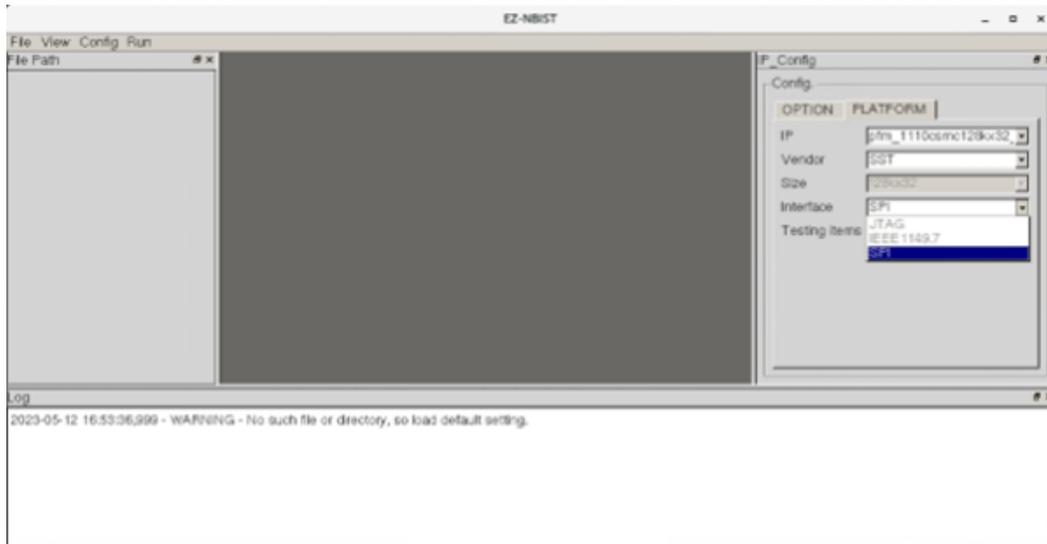


Figure 9

Figure 10 shows RRAM test and repair block with IEEE1149.7 interface.

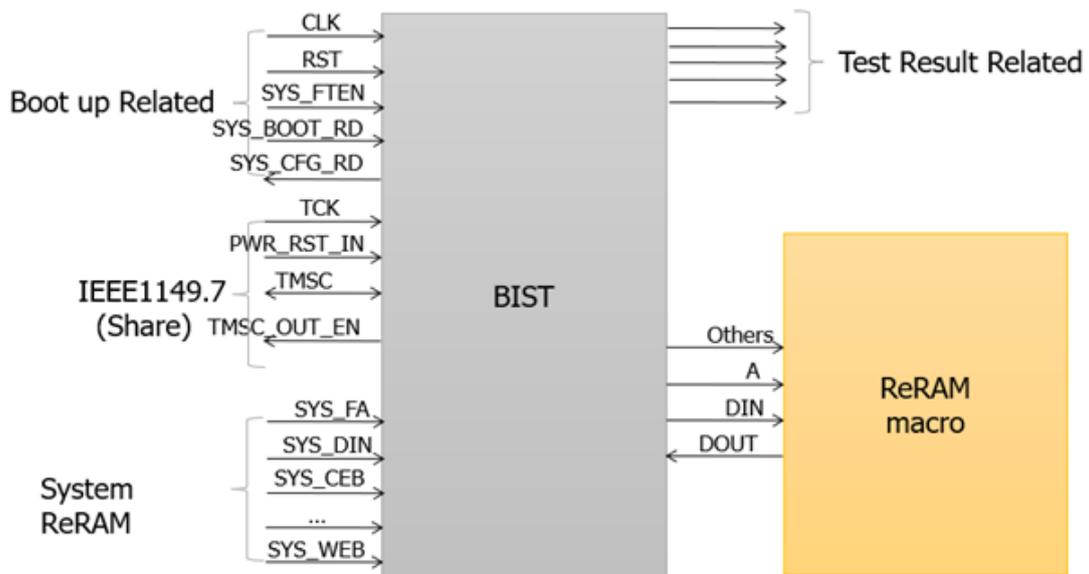


Figure 10

7. How flexibility of EZ-NBIST?

EZ-NBIST supports configurable BIST and BISR IP for different RRAM macro sizes. All RRAM timing parameters can be adjusted. Figure 11 shows all test items can be enabled and disabled individually.

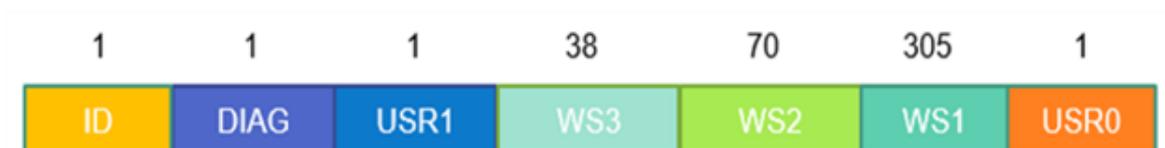


Figure 11

EZ-NBIST can help users to generate the complete synthesis RTL, the verification environment, the testing patterns, the behavior model, and the customized RRAM database as shown in Figure 12.

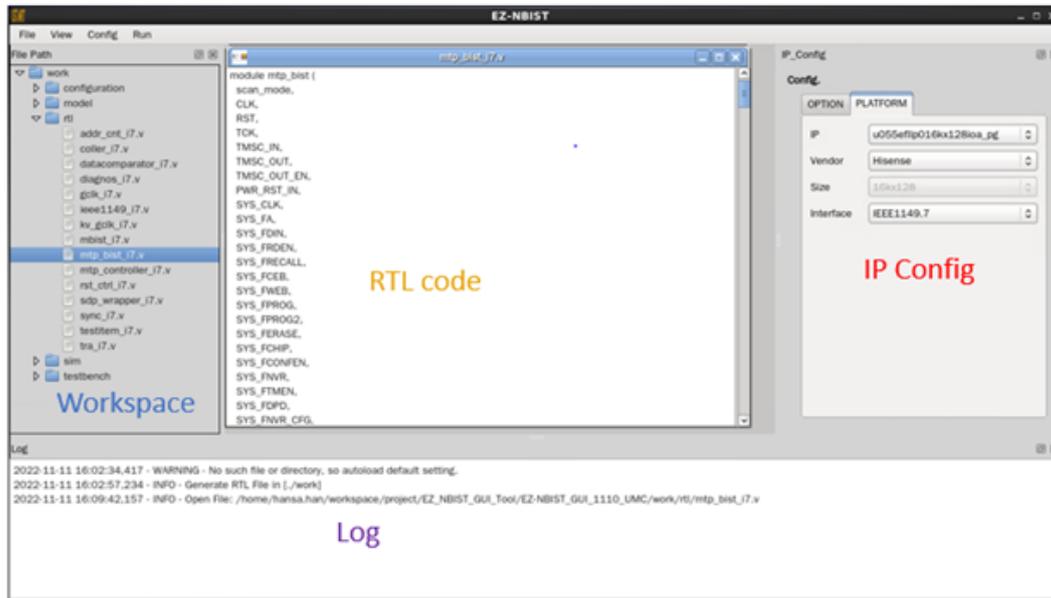


Figure 12

To execute simulation with RRAM model, users can select a test pattern to generate simulation dump files. For example, execute “2” in Figure 1 to start “ws1” testing item’s simulation flow.

8. Conclusion

EZ-NBIST provides RRAM BIST/BISR with professional testing items. EZ-NBIST saves RRAM tuning parameter timing time in ATE. The RRAM BIST and BISR area overhead of SoC is acceptable.

EZ-NBIST is also easy to set for accomplishing RRAM IP’s testing circuit.

查看原文

芯測小學堂第一集: BIST & BISR

BIST & BISR 對於 SoC 有什麼影響?

這個問題我們從最近熱門話題 ChatGPT 來談起，ChatGPT 屬於 AI 的應用，AI 的處理需要靠高端的 CPU 或 GPU 來做運算，這些 AI 複雜的運算當然就會使用到大量的記憶體，要確定記憶體是否能正常運作，在 SoC 從晶圓廠製造出來後就需要透過 BIST 來做檢測，檢測到有問題的記憶體就可以用 BISR 來做修復。

目前 AI 的晶圓都是採用先進製程來製造的，先進製程的 SoC 除了會發生所謂的靜態瑕疵外，還會有動態瑕疵的發生，所以好的 BIST 自我檢測方案電路設計，要能精確的將靜態瑕疵、動態瑕疵檢測出來。但是 BIST 只能檢測出瑕疵，如果要將壞的晶圓變成可以使用的 Chip 就需要透過修復方案，透過 BISR 的電路將壞的記憶體取代，轉而使用好的 Redundancy 記憶體讓晶圓可以恢復正常運作。

芯測是專業的 BIST & BISR EDA 工具供應商，有將近 40 篇的專利在 BIST & BISR，透過我們的 EDA 工具可以達成我們所謂的 APA 的成果，APA 就是 Algorithm、Performance & Area，意思就是芯測的工具可以提供多樣的記憶體檢測演算法，工具有良好的執行效率，所產出的 BIST & BISR 電路面積也是最小的。

芯測是目前亞洲區專業提供 BIST & BISR 的 EDA 工具與客製化 IP 公司，EDA 工具適用於現今所有的 IC 設計，目前客戶包含有 AI、車用、手機、網路、顯示器等等的應用。

透過客戶使用的回饋，芯測的工具在各類型的晶片，藉由 EDA 工具可以快速正確的產生 BIST & BISR 電路，幫客戶檢測出記憶體的瑕疵，有效的提升客戶晶片的品質及晶片的良率。

[查看原文](#)

芯測小學堂第二集: Testing Algorithms

「靜態失效」和「動態失效」這兩者有什麼不同呢？

「靜態失效」和「動態失效」是記憶體中的兩種錯誤。簡單來說，靜態失效和動態失效的區別在於故障出現的方式和時機。靜態失效是一種在單次操作下就能被探測到的故障。它像是一個明顯的錯誤，當我們對記憶體進行操作時，它就會出現，就像按一個按鈕卻沒有反應一樣。舉個例子，如果某個記憶體單元永遠只能輸出「0」而無法改變，這就是一種靜態失效。

而動態失效則需要多次操作才會被觸發。這就像是一個有些複雜的問題，需要特定的條件或操作來顯現。舉例來說，某個記憶體單元可能在某種特定的情況下，例如經過多次讀寫操作後，才會產生錯誤。

簡單來說，靜態失效與動態失效主要區別在於故障呈現的方式。靜態失效是明顯且單次操作就能發現，而動態失效則需要特定條件下的多次操作才會暴露。但值得一提的是，靜態失效可能在各種製程中出現，而動態失效通常在高階製程中才會出現。現今許多應用逐漸朝向高階的製程發展，這也是我們要關注的一個趨勢。

舉例來說，有一個演算法叫「March C」，它是一種用來檢查記憶體中靜態失效的方法。

March C 通過一系列的讀寫操作，讓記憶體單元進行不同的狀態變化，並在每次操作後驗證之前的狀態是否正確。如果在某個步驟出現錯誤，就表示有靜態失效存在。簡而言之，

March C 透過特定的操作序列，來幫助我們找出那些單次操作就能發現的記憶體問題。

還有一個演算法叫做「March 33N」，它是用來尋找動態失效的方法。March 33N 複雜度相對較高，透過一系列讀寫操作以及特定的步驟，讓記憶體單元在多次操作後產生變化。在每次操作後，演算法會執行讀取操作，檢查是否出現任何意外的故障。如果在特定操作後記憶體出現錯誤，就表示有動態失效存在。

此外，除了有各種不同的演算法之外，在做檢測時，也有不同的測試方法。例如

「Checkerboard」的測試方法，Checkerboard 的概念是在記憶體單元之間交替寫入「0」和「1」，然後進行讀取操作，檢查是否出現錯誤。這個方法有助於我們找出需要多次操作才會被觸發的動態失效問題。

[查看原文](#)

芯測小學堂第三集: EZ-Debug

EZ-Debug 的主要功用與工作效率？

EZ-Debug 就是直接連接在我們 PC 端跟 IC 或是 FPGA 端的一個轉接板，我們在 PC 端可以簡單的利用這套工具，對 FPGA 或是 IC 端做測試，確認電路中間是否有一些錯誤發生，他會直接告訴我們錯誤發生的位置，也就是「Architecture」。

一般 IC 測試公司會購買 ATE 測試機台來進行自動測試。而採用芯測科技的記憶體診斷工具 EZ-Debug，不但性價比高，同時工作效率快。如果介面是 IEEE1500 的話，最快可以達到 30MHz，也就是每秒鐘可以送 3000 萬個訊號進去測試。

[查看原文](#)

芯測小學堂第四集: iSTART-TEK Technical Service

芯測科技提供的客戶服務項目？

我們客戶服務的項目有分線上和線下。線上包含了官網上的資訊，芯測科技官網上點選技術支援的欄位，會出現技術文章、文件下載和技術論壇也就是 workshop。技術文章我們會寫關於各產品工具的使用方法以及適合應用在哪裡，主要做技術相關的知識傳遞及推廣；文件下載是關於我們工具的使用手冊及相關文件，技術論壇我們使用 workshop 平台，除了平常包工具上傳到 workshop 供客戶下載外，此平台還有另一個功能就是點進去各個 tool 名字裡面，有更詳細的 function 原理解釋，以及客戶最常會問的問題也包含在裡面。另外，我們也定期舉辦 Webinar 與芯測小學堂影片。每次 Webinar 都會針對不同主題做介紹，芯測小學堂則是適合普羅大眾，快速吸收 mbist 的概略原理。

線下則是實際上的技術支援—舉凡打電話、email 以及直接與 RD 做技術溝通。甚或是 RD 直接做 on site support 至客戶端支援，支援內容包含直接幫客戶的真實案子實作，或是教育訓練教導客戶怎麼使用工具。另外我們也舉辦實體 iSTART-TEK Design Workshop，邀請客戶來聆聽我們解決方案有哪些，包含工具操作以及深入的技術探討，由多位 RD 當場為各位解答問題等等。

[查看原文](#)

芯測小學堂第五集: START & EZ-BIST

芯測科技提供哪些自動化的記憶體測試與修復 EDA 工具？

芯測科技有幾個主要的產品線，其中包含能夠快速產生記憶體測試與修復電路的 EDA 工具 - START。START 是 SoC's memory Test And Repair Technology 的縮寫。Test 指的是「記憶體測試功能」；而 Repair 指的是「記憶體修復技術」，包含 Hard-Repair 和 Soft-Repair 兩種高效率的記憶體修復技術，這兩種 Repair 都能有效地提升晶片良率。

除了 START 之外，芯測科技還有什麼樣的產品？

這邊先介紹一個比較常跟 START 一起被提到的 EDA 工具 - EZ-BIST。其他產品也會在之後幾集跟大家介紹，敬請期待！EZ-BIST 跟 START 最大的差別在於 EZ-BIST 僅提供記憶體測試電路開發的功能。主要原因在於，不同的應用會有不同的需求，而芯測科技希望能提供使用者最符合需求的工具。值得一提的是，為了讓 EZ-BIST 在使用上能工具如其名的 EZ，它還支援 GUI 模式，讓那些對指令較不熟悉的使用者，可以透過圖形化介面達到更直觀省時的操作。另外，如果對演算法不熟悉或是不確定要選擇使用哪個演算法時，EZ-BIST 還能參考使用者所選擇的應用，進行演算法選擇上的建議，不得不說真的相當 EZ！

芯測科技自動化的記憶體測試與修復核心技術有拿到多項專利，除了創新獨特的架構與技術外，芯測科技的 START 和 EZ-BIST 還有哪些優勢？

除了在記憶體測試與修復技術上擁有近 40 項的專利外，START 和 EZ-BIST 在使用上更提供許多自動化功能，包含：記憶體自動辨識 Auto-Identify、記憶體時脈追蹤 Clock Tracing 及記憶體自動分群 Grouping 等功能。自動 Grouping 可以選擇使用預設的方式進行，也可以依照使用者的需求，在不同的條件下，一樣能做到自動 Grouping。這些優勢能夠省去許多手動進行細項設定與修改的時間，讓使用者大幅縮短晶片開發的時程。另外，我們也有提供診斷功能、EZ-Debug 以及 ATE 機台的資料分析平台，讓晶片開發人員能夠更方便更快速獲取記憶體測試後的診斷分析與結果。不僅如此，芯測科技的 EDA 工具也針對車用電子與高效能運算等相關應用晶片，提供許多特別進階的 Feature，關於這部分，後續我們會在其他幾集做更詳細的介紹。

芯測科技自動化的 EDA 工具，START 和 EZ-BIST 不僅能夠協助 IC 設計公司，有效提升晶片的良率，還可以透過多項功能，縮短記憶體測試與修復電路開發的時程。

[查看原文](#)

芯測小學堂第六集: Customer Testimonial - iTE



聯陽是芯測科技長久以來的合作夥伴，使用芯測的產品為聯陽晶片帶來什麼樣的效益與幫助？

選擇芯測做為合作夥伴的原因除了價格具有競爭力外，主要的考量點是彈性支援服務，如客製化。舉例：在 8 吋成熟製程的記憶體修復功能的導入初期，原始良率約 90%，SRAM 50%有 Repair 設計，fail 救回機率 97%，整體良率提高至 94.3%，面積增加 0.3%。此外，芯測科技支援多樣化的測試介面，使 ITE 可依產品需求選擇 JTAG 或 Basic I/O 介面。另外在 tool 上簡單易用，可快速整合進 ITE Design Flow，降低 DPPM 客退問題，提升測試嚴謹度與良率。

目前聯陽晶片大多使用在什麼樣的終端產品？

目前 ITE 最大的比例是用在 PC/NB 相關的產品，這也是 ITE 的主力產品。此外，ITE 也有影像相關的 Video Bridge 及 SoC 產品會使用到大量的 SRAM，因此也會將貴司的技術會使用到終端產品上。

芯測科技不斷的在技術上深耕，並提供更完善的服務，希望能協助更多的 IC 設計公司，提升晶片良率、縮短開發時間及降低晶片成本。若您對記憶體測試與修復有興趣，歡迎與我們聯繫，我們將提供最專業的自動化記憶體測試與修復解決方案及產品服務。

[查看原文](#)

芯測小學堂第七集: Customer Testimonial - Rafael Micro



芯測的產品為宏觀微的晶片帶來什麼樣的效益與幫助？

在晶圓製造的過程中，無可避免地都會遇到各式各樣的 Memory defect。對於中小型 IC design house 來說，自行開發記憶體相關的測試流程，確實是一筆不小的負擔，但又不得不做。因此藉由芯測的產品，讓宏觀微在 IC 設計開發上，更加彈性且更專注於無線通訊領域的發展。

芯測的 BIST 能自動將 IC memory defect 在量產測試時，完整的篩選出來；而芯測的 BISR 更能將 Defect memory 成功修復，並減少 30% 因 Memory defect 造成的不良品。使宏觀微未來在先進製程 SoC 的良率及測試流程上的掌握度更高。

宏觀微的晶片，大多使用在那些終端產品？

宏觀微是一家專注於無線通訊領域的公司，產品涵蓋 TV Tuners and IoT product。TV Tuner 最常見的是 Video 傳輸時會需要使用到大量的 SRAM 做儲存用；而 IoT SoC 也因物聯網及 AI 蓬勃發展，會需要更多的 SRAM 做聯網資訊跟運算儲存用，因此芯測的產品跟我們宏觀微的產品將來合作會更密切。

[查看原文](#)

芯測小學堂第八集: Specific functions for Automotive and HPC

芯測科技的 EDA 工具，針對車用電子晶片與 HPC 晶片，提供哪些 Feature？

在車用電子部分，支援了 POT、ECC 與 TEC 等功能。POT 有多種應用方式，包含將測試流程記錄於 ROM 可以用來控制送出測試指令以及用 RTL 的形式或利用一個 signal 來控制，甚至也可以透過 CPU 來實現。如果是透過 CPU，便可做到「記憶體即時監控」，讓車用電子晶片上電後，可立刻進行記憶體測試，並將晶片內發生錯誤的記憶體立刻進行修復，再針對修復後的記憶體進行檢測，以確保修復後的記憶體能正常運作。另外，POT 還加入「記憶體測試電路的自我檢測」，也就是透過「Error Injection」的方式來針對記憶體測試電路的正確性進行自我檢測。而 ECC 用來確保系統在運行階段時，數據的正確性；TEC 可彈性化調整記憶體測試單元，有效優化記憶體測試演算法。這些功能特別著重在於安全性的提升與保障，也是為了符合車用電子晶片對安全性的規範。

那針對 HPC 晶片提供哪些定制化解決方案？

除了提供 POT 外，還有 Multi-Chain、PCA 和 MGD；Multi-Chain 讓使用者可根據 SoC 設計的需求，透過多條修復連結的功能，規劃出任意數量的連結，加以控制耗電量和傳輸速度，實現多樣化的 SoC 設計；PCA 可根據記憶體功耗資訊，控管記憶體分群的功耗，當記憶體分群後的功耗總值超過 SoC 的功耗上限值時，就會自動將記憶體重新分群；MGD 功能則是可以讓使用者根據現有的 layout 進行記憶體分群的機制。這幾項功能，再加上前面介紹過的 POT 與 TEC，都是能夠針對 HPC 晶片來使用的解決方案。

[查看原文](#)

芯測小學堂第九集: EZ-Safety & EZ-TEC

芯測科技即將推出什麼樣的 IP 產品？

上一集有提過，芯測科技所提供的 EDA 工具針對車用相關晶片提供許多能夠提升安全性的 Feature，在車用電子相關領域，安全性的保障極為重要，所以，除了 EDA 工具相關產品線外，芯測科技也持續規劃出 IP 產品，如: EZ-Safety。EZ-Safety 針對以往的 MBIST 架構進行調整，可以獨立運行於原本的 MBIST 的架構，將記憶體測試時幾個需要的重要訊號拉出，能夠更有效率地進行記憶體測試。並自動備份指定的記憶體資訊，同時不必設限於只能在 Test Mode 下的測試，藉以達到提高整體安全性的效果。另外，EZ-Safety 標榜在嵌入與整合上都相當容易且直觀，不只對記憶體的檢測更加即時與彈性，也特別支援了適合車用相關的測試演算法來進行記憶體檢測。

除了 EZ-Safety 之外，另一個是什麼樣的 IP 產品？

另一個要推出的 IP 產品是 EZ-TEC，同樣可以獨立運行於原本的 MBIST 的架構，也同樣是易於嵌入與整合進設計的 IP。EZ-TEC 所實現的 MBIST 架構能夠動態調整記憶體測試演算法，之前有一集我們針對演算法以及記憶體失效做過介紹，而 EZ-TEC 這個 IP，除了現有較為人知的常用演算法外，設計者更能依照個別需求來對測試演算法進行細節至 Element 的自定義，藉此達到提升晶片良率的目的。

[查看原文](#)