

iSTART iReport

➤ 专利 Patent

可配置化的非挥发性内存测试及修复系统P 1

➤ 活动 Event

VIP Spring Tea Party 大陆春酒茶会P 2

CWGCE 成都全球芯片与半导体产业博览会P 2

GSIE 全球半导体产业重庆博览会P 2

SEMICON SEA 槟城半导体展览会P 2

Webinar 在线研讨会P 2

➤ 新闻 News

芯测科技以力旺电子 RRAM IP 开发测试与修复硅智财 ..P3

芯测科技与巨有科技建立生态系统战略合作伙伴关系P 4

芯测科技与毅杰信息技术建立生态系统战略合作伙伴关.....P 5

➤ 技术文章 White Paper

专属的定制化车用电子功能设计P 6

高度可配置化 eFlash IP 测试与修复电路开发环境：
EZ-NBISTP 7

➤ 其他 Others

恭喜芯测科技客户"上海美仁半导体"荣获 2023 IIC SH 年度最佳 MCU 大奖！P23
芯测科技的产品可望为 IC 设计公司提高芯片的竞争力 (EIS、APA)P23
芯测科技企业客户-联芯通《支持 ISO 15118 Plug & Charge 即插即充·优化电动汽车充电体验！》迎向巨大里程碑P24

可配置化的非挥发性内存测试及修复系统

芯测科成功取得新型专利证书！
「可配置化的非挥发性内存测试及修复系统」

这项专利进一步巩固了芯测科技在内存测试和修复领域以及 EDA 工具市场的领先地位。



活动 Event



VIP Spring Tea Party 大陆春酒茶会

日期：3月29日(三)

时间：09:00-16:30

地点：上海长荣桂冠酒店3楼台北厅

芯测科技 2023 VIP 春酒茶会活动已圆满落幕，本年度 VIP 春酒茶会于上海长荣桂冠酒店举办，现场共计多位贵宾参与，活动期间芯测科技发表了车用电子芯片的解决方案与最具性价比的内存调适工具，并邀请多位生态系统合作伙伴上台分享，在此感谢各位贵宾一同共襄盛举。



CWGCE 成都全球芯片与半导体产业博览会

展期：4月26日(三)到4月28日(五)

时间：09:00-16:30

地点：成都世纪城新国际会展中心 NO.C1330



GSIE 全球半导体产业重庆博览会

展期：5月10日(三)到5月12日(五)

时间：09:00-16:00

地点：全球半导体产业重庆博览会 NO. A137



SEMICON Asia 槟城半导体展览会

展期：5月23日(二)到5月25日(四)

时间：10:00-17:00

地点：槟城国际会展中心三楼 NO. A1152



高度可配置化 eFlash IP 测试与修复电路开发环境: EZ-NBIST

展期：6月8日(四)

时间：14:00-14:30

形式：在线直播

芯测科技以力旺电子 RRAM IP 开发 测试与修复矽智财

RRAM (可变电阻式内存)是一种 NVM (非挥发性内存)。RRAM 存储容量大，有可能取代手机、AIoT (人工智能物联网)、IoT (物联网)和车用电子芯片等电子产品中使用的闪存。

RRAM 作为 Flash 的替代品越来越受欢迎，尤其是在性能和能源效率不断提高的芯片中，RRAM 已展示出比 Flash 更低的读取延迟和更快的写入速度，与 NAND Flash 相比，RRAM 的特点是切换速度快。此外，它比 NAND Flash 消耗更少的功率，使 RRAM 成为理想的内存，使得 RRAM 非常适合用于工业、汽车、AIoT 和 IoT 的芯片中。

亚洲唯一专注于内存测试与修复解决方案芯测科技(上海芯复瑞)独家供应内存测试与修复解决并提供客制化设计的服务，主要产品包括客制化 EDA 工具与客制化 IP(矽智财)。随着车市加温，目前全球汽车大厂争相投入的研发方向多以如何生产更安全、舒适、方便的高科技车辆为主要目标，芯测科技(上海芯复瑞)与力旺电子合作 RRAM 的测试和修复 IP，可望为车用电子芯片开发商提供更多内存良率上的选择。

芯测科技(上海芯复瑞)采用力旺电子所提供之 RRAM 的 Behavioral model 进行客制化的内存测试与修复 IP 的设计。此客制化 IP 包含 RRAM 的测试项目与修复方式的数位电路。透过此客制化 IP 的设计，可以降低芯片开发商的设计成本，缩短设计时间。对于车用电子芯片开发商而言，除了可以使用 RRAM 所带来的技术优势，更可以透过芯测科技(上海芯复瑞)的客制化 RRAM 测试和修复 IP，提高芯片的良率。

[查看原文](#)

芯测科技与巨有科技建立生态系统策略合作伙伴关系

芯测科技(上海芯复瑞)与巨有科技建立生态系统策略合作伙伴关系，提供芯测科技的客户在晶圆代工厂与封测厂上更加多元的选择。

巨有科技创立于 1991 年，是台湾前十大 IC 设计服务公司之一，为台积电(TSMC)的策略伙伴 Design Center Alliance (DCA)。巨有科技专注于 ASIC 设计的 Turnkey 服务，专攻 12 吋晶圆高阶奈米工艺的设计服务，也与封装厂日月光(ASE)紧密配合，提供更多的 IP(矽智财)的解决方案，满足客户产品多元化应用的需求，提升客户产品的竞争力优势。自有 in-house 测试工厂可以提供测试程序开发服务，芯片探测与高低温测试服务和 IC 最终测试服务，为客户在工程和大规模生产阶段提供整合测试解决方案。成立至今，已经为数百位的客户成功在台积电(TSMC) Tape-out 超过 1000 件的项目，产品出货超过数亿颗 IC 的量产经验。

芯测科技(上海芯复瑞)是技术领先的客制化 EDA 工具与客制化 IP 供应商，专注于内存测试与修复解决方案及客制化设计服务。得益于半导体产业链的绝佳位置，建构出完整的生态系统，结合 IC 设计公司、设计服务公司、内存 IP 供应商、晶圆代工厂、测试机台供应商与云端服务平台等领域。透过生态系统的绵密整合，拓展更广泛的市场需求，同时提供客户更高的附加价值及市场竞争力。芯测科技的定制化车用电子芯片相关的功能性设计，让许多车用电子芯片选择芯测科技的解决方案，如今，透过专业的设计服务公司巨有科技的策略合作，丰富了客户在量产与封测上的选择性，也增加客户采用芯测科技解决方案的机会。

[查看原文](#)

芯测科技与毅杰信息技术建立生态系统策略伙伴关系

芯测科技(上海芯复瑞)与翊傑科技(毅杰信息技术)共同合作建立生态系统策略伙伴关系，丰富了芯测科技建构的生态系统成员。

翊傑科技(毅杰信息技术)正持续建立与 EDA 厂商、IP/library 厂商和半导体晶圆代工厂的伙伴关系，坚信「分工」概念并积极寻找新的伙伴，共同面对并突破设计上的挑战。其中，翊傑科技(毅杰信息技术)独特的「混合」设计环境所采用的工具，来自于多个 EDA 厂商与内部所开发的工具，以便实现功率、噪声和芯片尺寸的优化。目前翊傑科技(毅杰信息技术)已与许多方案供应商建立密切的合作伙伴关系，除了提供丰富的 IP 选择方案，更提供完整的整合服务。在严格控管客户数据安全下，提供质量导向的标准化作业流程，同时搭配灵活且定制化的商模，提供客户具有竞争力的 NRE 价格，并协助客户加速完成设计与量产。透过先进的设计技术提供客户最佳的解决方案与有效的设计方法及一系列先进的 IP (矽智财)，协助客户迈入奈米的设计领域。其中服务范围如 ASIC 设计的规格讨论与制定，能充分且弹性地满足客户的设计需求，协助客户决技术问题并完成量产开发。

芯测科技(上海芯复瑞)是亚洲唯一专注于 SoC (系统芯片)内存测试与修复的定制化 EDA 工具与定制化 IP (矽智财)供应商。得益于半导体产业链的绝佳位置，芯测科技(上海芯复瑞)正在建构完整的生态系统，结合 IC 设计公司、设计服务公司、内存 IP 供应商、晶圆代工厂、测试机台供应商与云端服务平台等领域。透过生态系统的绵密整合，拓展更广泛的市场需求，同时提供客户更高的附加价值及市场竞争力。

芯测科技(上海芯复瑞)持续布局生态系统，希望藉由生态系统打造共荣圈。透过与专业的设计服务公司翊傑科技(毅杰信息技术)的策略合作，丰富了客户在 SoC 设计上的选择性，也增加客户采用芯测科技(上海芯复瑞)解决方案的机会。

[查看原文](#)

专属的定制化车用电子功能设计

随着全球汽车产业迈向智能化与电动化，车用电子更重视芯片的可靠度测试及安全性功能，以期达到 AEC-Q100 的规范，进而打进车用市场。芯测科技的 START™ v3 除了提供丰富的内存测试功能与高效率的内存修复方案，还提供专属的定制化车用电子功能，如：POT 2.0 (Power_On Test), ECC (Error-Correcting-Code), UDA (User Defined Algorithm)等功能。让芯片开发商可以根据芯片的应用，精准检测出有内存缺陷的车用电子芯片，提高行车安全。

一、POT 2.0 (Power_On Test)

1.功能介绍：

POT 2.0 在电子产品里是非常重要的功能，尤其在车用与安全性相关的电子产品。能确保硬件电路在上电后进行内存检测，并验证行为正确性。芯测科技开发了具有内存测试与修复功能的 POT 2.0，加入 START™ v3 工具中，可以让使用者方便在设计里加入内存 POT 功能的电路，并提供下列几种启动方式：

- ROM：将测试命令(Command)存入 ROM。
- RTL：将测试命令存入由 RTL 描述的 ROM。
- Basic：提供 host_MEN 信号，进行内存测试。
- CPU：可以透过 CPU 下达测试指令来控制 BIST 电路。

在应用上也能加入 LATCH_GO 诊断功能，以一颗内存对应一位的形式进行内存错误编号标记，让用户快速了解内存发生错误的位置。而 Error Injection 的功能，能在电路 Test Pattern Generator 中植入用于验证 BIST 电路正确性的错误信息，能大幅增加 BIST 电路可靠度。此外，使用 POT 2.0 时，如检测出新的内存错误，皆能对错误点进行内存修复。

2. 使用方式：

设定 START™ v3 (BFL)：

```

set parallel_on           = no           # yes, no
set reduce_address_simulation = no       # yes, no
set rom_half_access       = no           # yes, no
set rom_result_shiftin    = yes          # yes, no
set rom_result_shiftout   = no           # yes, no
set specify_clock_mux     = no           # yes, no
set specify_dt_port_value = no           # yes, no
set 0_pipeline            = no           # yes, no
set pot                   = rom          # no, rom, hw_rom, basic , cpu
set ecc_function          = no           # yes, no

```

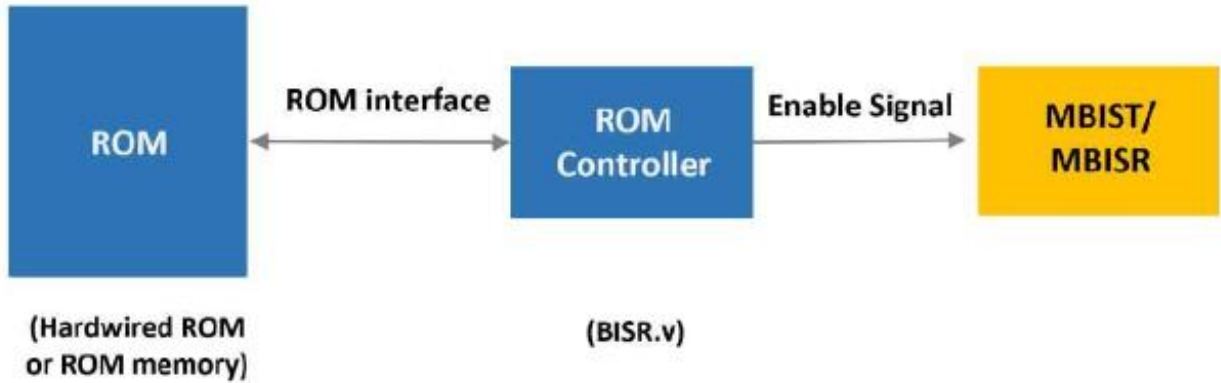
图一 POT 设定选项

i.set pot = rom or set pot =hw_rom

设定 pot 选项为 “rom” ，测试命令将被存入 ROM；设定 pot 选项为 “hw_rom” ，会将测试命令存入由 RTL 描述的 ROM，又称为 Hardwired ROM。最后完成 BFL 与 BII 流程，产生相对应之电路与脚位以供使用。

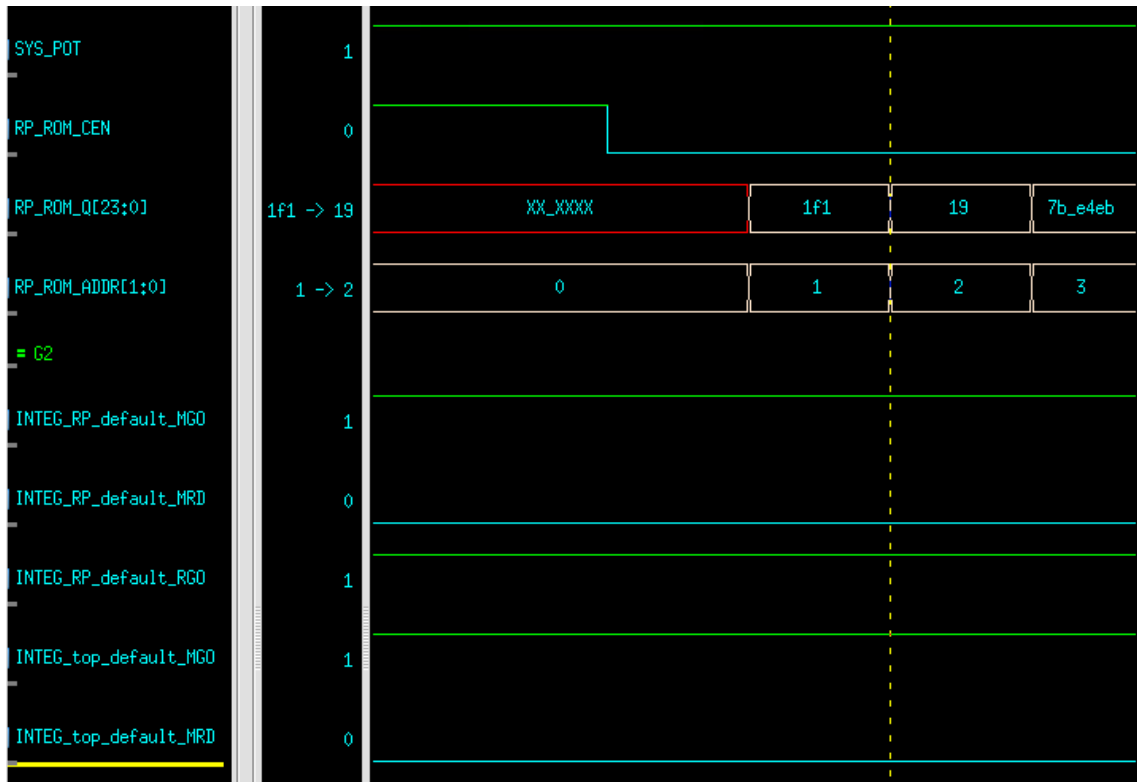
POT 的模块图，主要分为三个模块，分别为 ROM 内存/Hardwired ROM, ROM Controller 和 MBIST/MBISR，如图二所示。

首先 ROM Controller 接收到执行 POT 功能后，会读取存放在 ROM 内存/Hardwired ROM 的测试命令，接着发送控制讯号到 MBIST，开始进行内存的测试，若检测到内存错误，MBISR 则会自动执行修复流程。



图二 POT 模块图

执行 POT 功能相关讯号的波形图，SYS_POT 为 POT 的始能讯号，此讯号启动后，ROM Controller 会到 ROM 内存/Hardwired ROM 进行读取测试指令，并开始内存测试与修复，可由 MGO, MRD, RGO 讯号得知测试结果，如图三所示。



图三 POT 相关讯号波形图

POT= “rom” 或 “hw_rom” 的 MBIST/MBISR 的讯号线如图四所示。

Name	Direction	Width	Description
SYS_READY	input	1	System boot is ready to enable BISR logics (hard repair only) 1'b1 : Ready to load data from NVM storage)
SYS_POT	input	1	Enable Power on test (normal function test only)
BOOT_CFG_DONE	output	1	The shifting of configuration data is completed (hard repair only) 1'b1 : the scan is completed 1'b0 : the scan is progressing
RCK	input	1	Clock signal for storage device, BISR logics and configuration buffer.
RRST	input	1	Reset signal for storage device, BISR logics and configuration buffer
MRDn	output	1	Indicates if the test is ended or not. 0 : The test is uncompleted 1 : The test is ended
MGO n	output	1	Indicates if the test is failed or not. 0 : The test is failed 1 : The test is passed
RGO m	output	1	Indicates if the logic can be repaired or not. 0 : The logic cannot be repaired. 1 : The logic can be repaired. (MBISR CTR only.)

图四 hw_rom 与 rom 的 MBIST/MBISR 讯号

最后产出存入 ROM 之测试命令的 Verilog 档案，根据用户设计的 BIST 功能，产生相应的命令，如图五所示。Hardwired ROM 之 Verilog 程序范例，将测试命令存入由 RTL 描述的 ROM，如图六所示。

```
@00000000 000000039 // digital_top_with_pad_digital_top_default ['TRANS : 0',
'PRL_ON : 1', 'GRP_EN : 11', 'MEB_ID : 00', 'MEN : 1']
@00000001 000359b6c // GOLD_SIGNATURE_1 {'ctr_name':
'digital_top_with_pad_digital_top_default', 'rom_tpg_position':
'digital_top_with_pad_digital_top_default_tpg_2_1_1'}
@00000002 0009442a9 // GOLD_SIGNATURE_2 {'ctr_name':
'digital_top_with_pad_digital_top_default', 'rom_tpg_position':
'digital_top_with_pad_digital_top_default_tpg_2_1_2'}
@00000003 000b204e4 // GOLD_SIGNATURE_3 {'ctr_name':
'digital_top_with_pad_digital_top_default', 'rom_tpg_position':
'digital_top_with_pad_digital_top_default_tpg_2_1_3'}
```

图五 存入 ROM 测试命令


```

module rom_24_hw (
CLK,
A,
CEN,
Q
);

input      CLK;
input [2:0] A;
input      CEN;
output [23:0] Q;
reg [23:0] Q;

always@(posedge CLK)
begin
  if(~CEN) begin
    case(A)
      0 : begin
          Q <= 24'h000039; // digital_top_with_pad_digital_top_default ['TRANS : 0',
'PRL_ON : 1', 'GRP_EN : 11', 'MEB_ID : 00', 'MEN : 1']
        end
      1 : begin
          Q <= 24'h359b6c; // GOLD_SIGNATURE_1 {'ctr_name':
'digital_top_with_pad_digital_top_default', 'rom_tpg_position':
'digital_top_with_pad_digital_top_default_tpg_2_1_1'}
        end
      2 : begin
          Q <= 24'h9442a9; // GOLD_SIGNATURE_2 {'ctr_name':
'digital_top_with_pad_digital_top_default', 'rom_tpg_position':
'digital_top_with_pad_digital_top_default_tpg_2_1_2'}
        end
      3 : begin
          Q <= 24'hb204e4; // GOLD_SIGNATURE_3 {'ctr_name':
'digital_top_with_pad_digital_top_default', 'rom_tpg_position':
'digital_top_with_pad_digital_top_default_tpg_2_1_3'}
        end
      default : Q <= Q;
    endcase
  end
end
endmodule

```

图六 Hardwired ROM 的 Verilog 程序

ii. set pot = basic

设定 pot 选项为 “basic” 将产生 host_MEN 信号线，供用户启动内存测试，并可由 MGO, MRD, RGO 讯号得知测试结果，“basic” 选项产生之讯号列表，如图七所示。

Signal Name	Description
*_host_MEN:	Indicates to enable or disable MBIST/MBISR.
*_MRD	Indicates if the test is ended or not. 0: The test is uncompleted 1: The test is ended
*_MGO	Indicates if the test is failed or not. 0: The test is failed 1: The test is passed
*_RGO	Indicates if the logic can be repaired or not. 0: The logic cannot be repaired. 1: The logic can be repaired. (MBISR CTR only.)

图七 basic 选项的 MBIST/MBISR 讯号

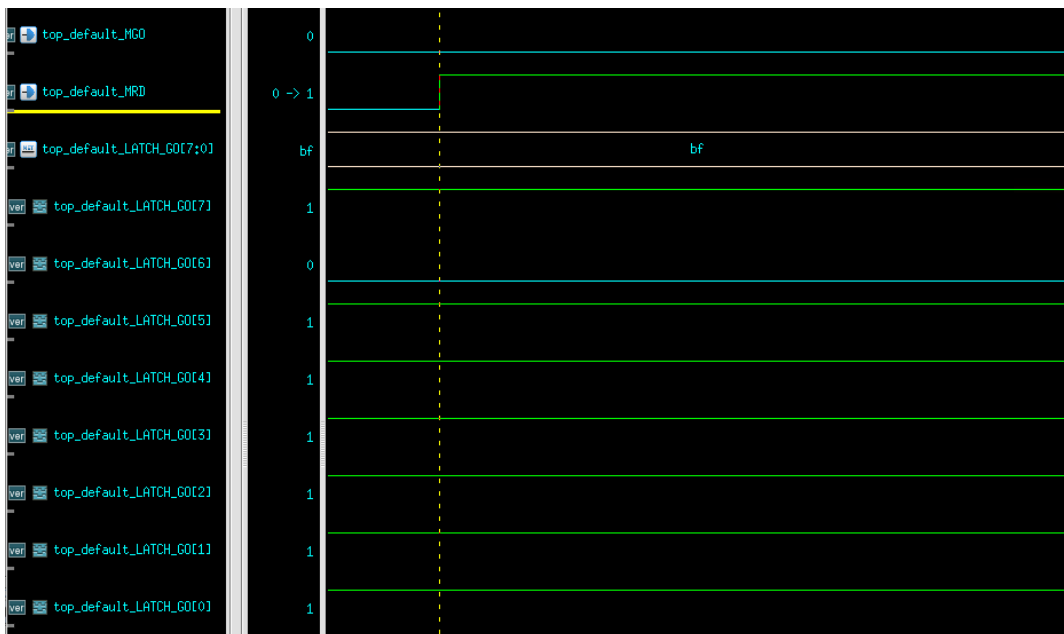
iii. set pot = cpu

设定 pot 选项为 "cpu"，可令用户直接进行 BIST 电路的控制，并可由调整.bfl 档案之设定，如图八所示，增加额外功能，例如 diagnosis_memory_info 功能可新增 LATCH_GO 讯号，令用户得以快速了解发生错误之内存编号。编号六之内存发生错误，如图九所示。

```

set diagnosis_support           = no           # yes, no
set diagnosis_data_sharing      = no           # yes, no
set diagnosis_memory_info       = no           # yes, no
set diagnosis_time_info         = no           # yes, no
    
```

图八 BFL 上 Latch_GO 设定



图九 Latch_GO 波形图

二、ECC (Error-Correcting-Code)

1.功能介绍：

ECC (Error-Correcting-Code)是指在传输时间允许侦测并校正错误的一种编码方法，在接收端藉由已编码数据侦测并校正传输错误，可应用于许多数据传递与数据保存的操作。在内存方面，ECC 能使用电路方法检查储存在内存中的数据是否正确。

不论是应用在汽车、工业、医疗及通讯等领域，都可能因内存失效，导致严重后果，而 ECC 的功能，能提高芯片运行时的稳定性和可靠性。

芯测科技提供 ECC 的功能，让用户在内存增加 ECC 功能，使用上可帮助使用者做到 2bits 的侦测，及 1bit 的修正，而使用时须由内存提供 ECC 使用奇偶校验 (Parity Check) 的空间，来重建校正的数据，须提供的空间为 $2^{\text{Parity}-1} > \text{Parity} + \text{Data bit}$ ，例如内存数据长度为 22bits 时，使用 6bits 的 ECC 空间来检测 16bit 的数据。

2.使用方式：

设定 START™ v3 (BFL)：

由 set ecc_function 选项设定启动方式以及 set ecc_prefix 设定 ecc 名称，如图十所示。

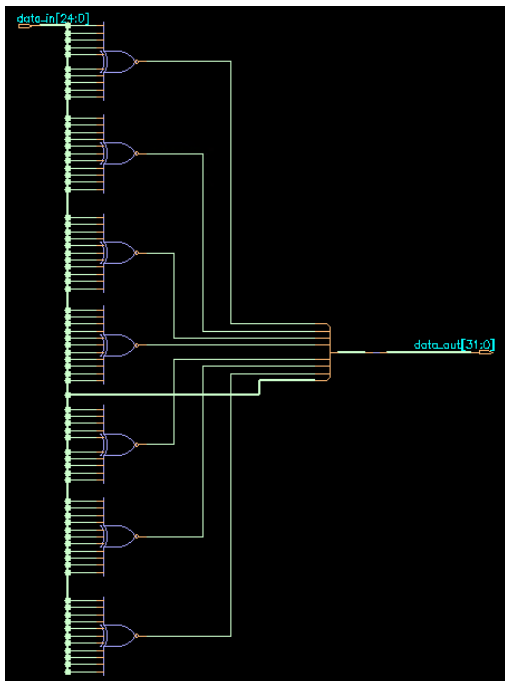
```

set ecc_prefix           = top_ECC

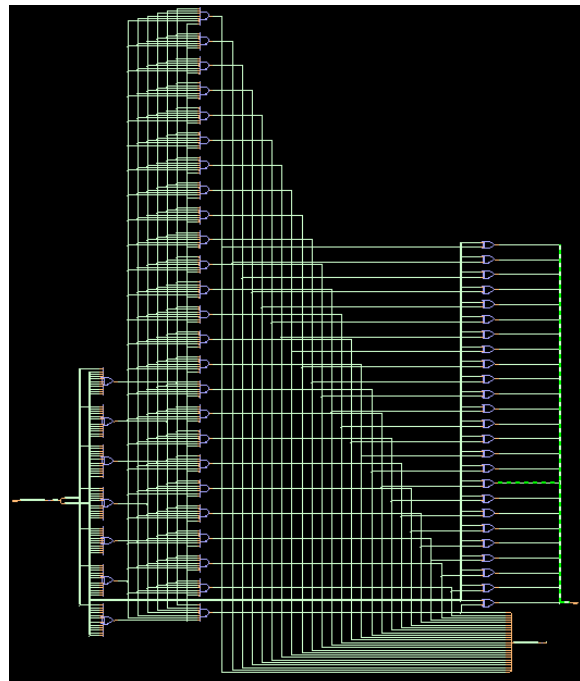
set Q_pipeline           = no
set repair_mode         = yes
set soft_repair         = yes
set ecc_function        = yes    #ecc function|
set skip_bist_path      =
    
```

图十 ECC 设定选项

执行完 BFL 与 BII 流程后，产生 ECC 功能的编码与译码电路，如图十一、图十二所示。

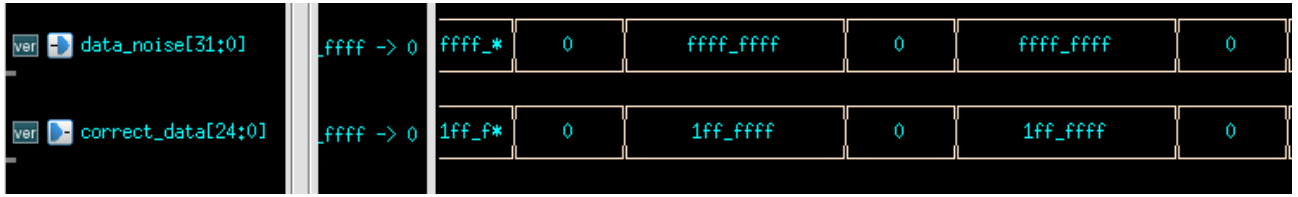


图十一 encoder 电路



图十二 decoder 电路

ECC 波形图，data_noise 为内存的 data 与编码过的校验值，透过译码后，得知 correct data，并可进行 data 修正，如图十三所示。



图十三 ECC 波形图

三、UDA (User Defined Algorithm)

1. UDA 功能介绍：

随着科技的演进，新开发的先进制程内存搭配现有常见的算法，会花费较长的测试时间，并且会有重复测试图像的行为。例如：使用者若同时选择 March C⁺(14N)与 March C⁻(11N)的算法，测试时间需要 25N。

March C+	>(wa) >(ra,wb,rb) >(rb,wa,ra) <(ra,wb,rb) <(rb,wa,ra) <(ra)
March C-	>(wa) >(ra,wb) >(rb,wa) >(ra) <(ra,wb) <(rb,wa) <(ra)

芯测科技研发了用户自定义算法功能 UDA (User Defined Algorithm) 可以自行编辑算法，将重复的元素 (element)去除，去除后测试时间即可缩短成 23N。

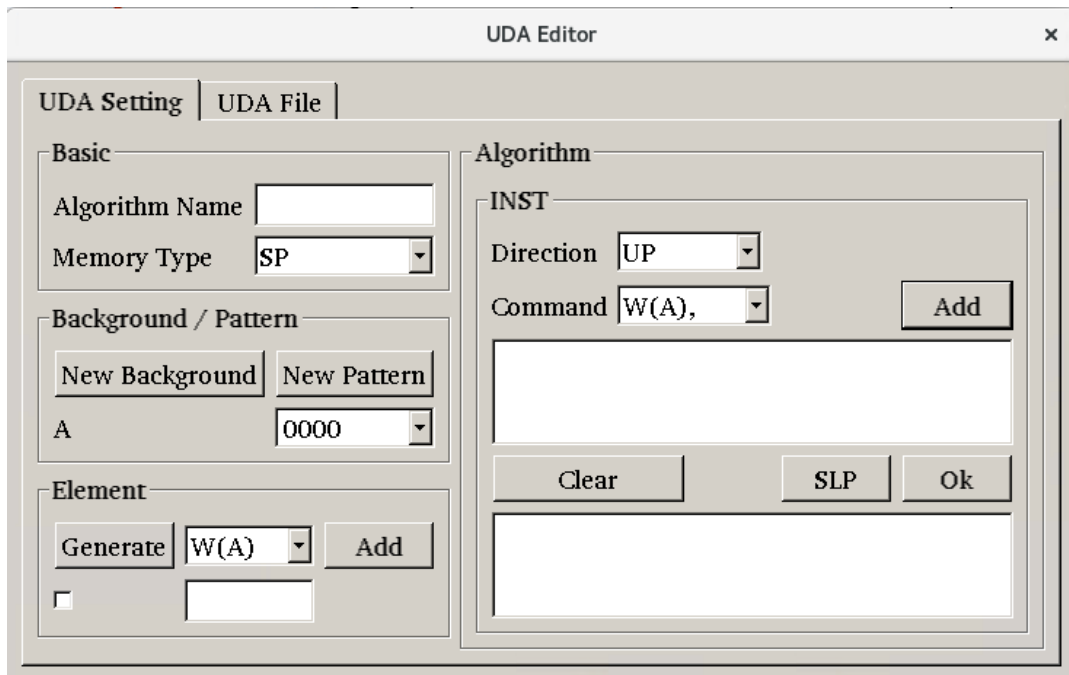
>(wa) >(ra,wb,rb) >(rb,wa,ra) <(ra,wb,rb) <(rb,wa,ra)
>(ra,wb) >(rb,wa) >(ra) <(ra,wb) <(rb,wa) <(ra)

UDA 以组件的形式表达，可透过组件进行重新排列组合，任意产生出新的算法，如图十四所示。

語法↔	功能↔
UP↔	Address 由 0 開始上數↔
DN↔	Address 由最大值開始下數↔
ADD_INC↔	由 UP 或 DN 決定，address + 1 或 address - 1↔
N↔	不做任何讀寫的行為↔
R(A)↔	Read memory data，括弧的部份為 Read 的 pattern A↔
W(A)↔	Write memory data，括弧的部份為 write 的 pattern A↔
S↔	Testing Sleeping↔
,↔	區隔不同的 operation↔
;↔	完成當下的 element↔

图十四 以组件的形式表达

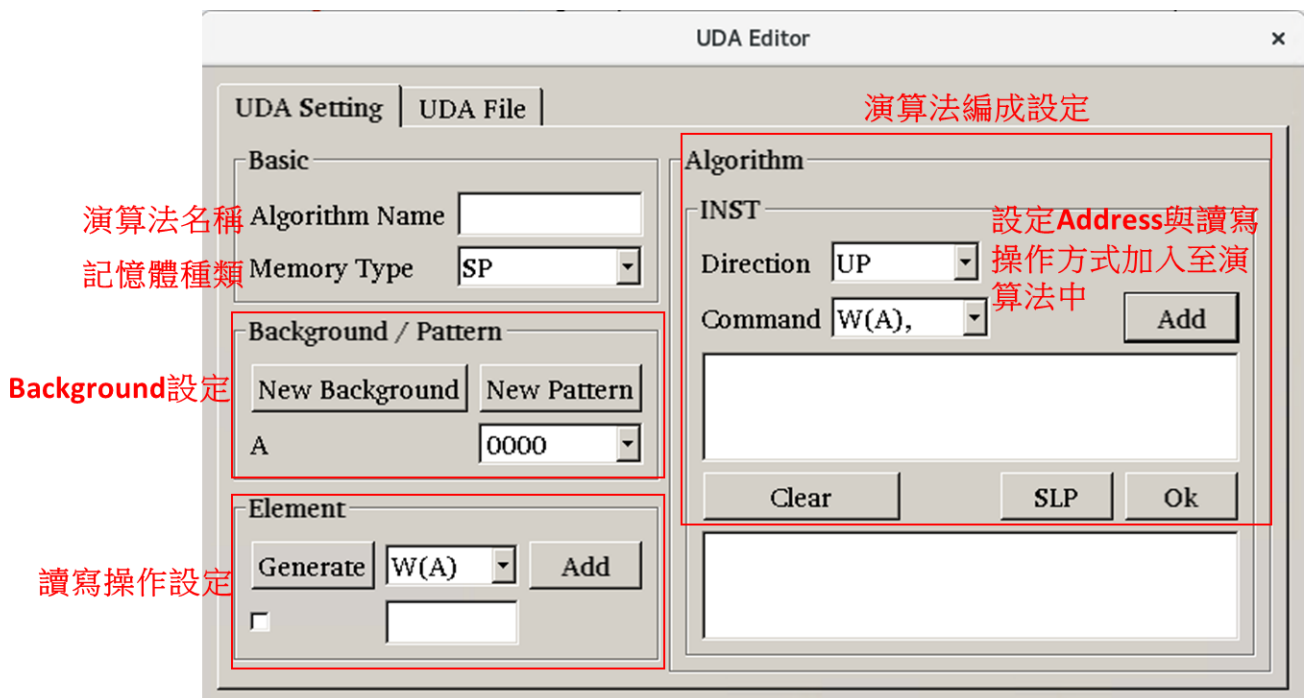
图形用户界面 (GUI) · 友好接口让用户能快速上手 · 如图十五所示。



图十五 UDA 图形化操作画面

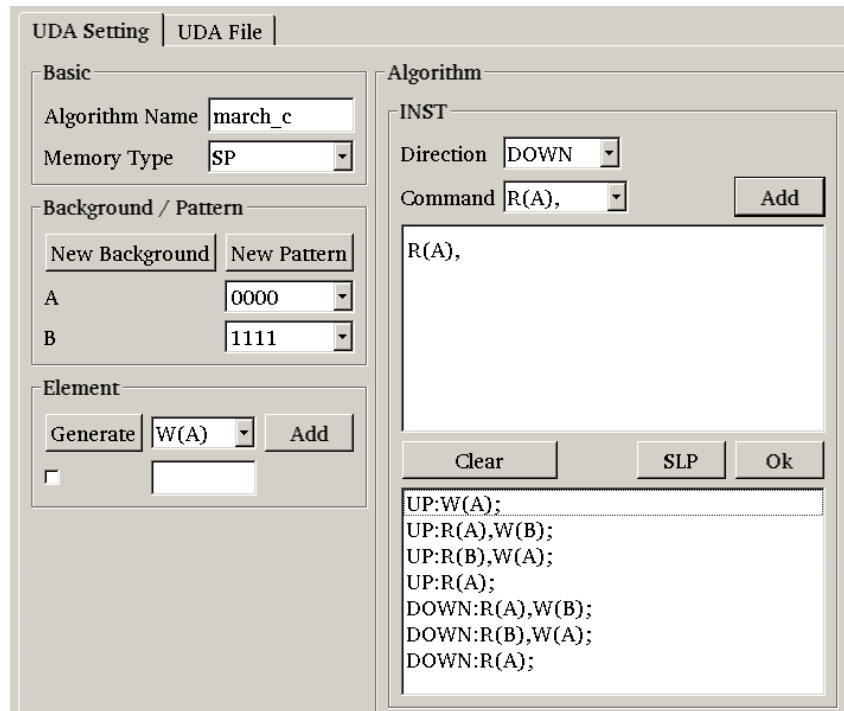
2. 使用方式：

透过 UDA 图形化操作接口，可快速的设定元素，下图十六为图形化操作接口的各项区块简介，能简易的设定测试图像、读写操作方式及地址上下数，完成后产生出算法。

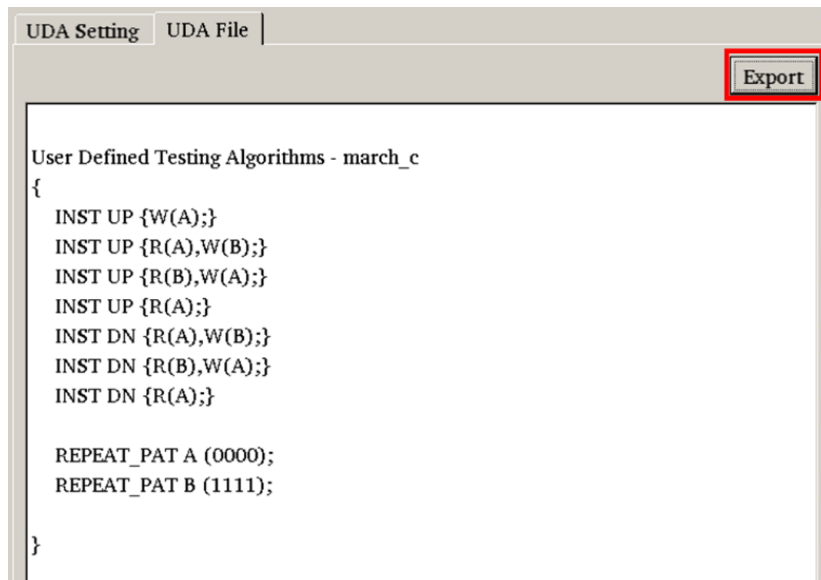


图十六 图形化操作接口简介

举例一个 March C 的算法，利用图形化操作接口，完成算法的设定后，点选 UDA File 可看到算法设定的结果，并按下 Export，即可将此算法输出成.txt 檔。最后在.bfl 配置文件中，设定上述.txt 文件之路径，完成后即可产生出此算法的 BIST 电路，如图十七、十八、十九所示。



图十七 March C 算法设定



图十八 算法输出

```

define{user_define_algorithm}
  set SP_alg_path = ./UDA/uda_march_5w.txt |
end_define{user_define_algorithm}

```

图十九 UDA 档案设定

作者：芯测科技

高度可配置化 eFlash IP 测试与修复 电路开发环境:EZ-NBIST

1. 非挥发性内存(NVM) IP 的测试方法

eFlash IP 的测试方法涵盖联电 40nm、55nm 及 SST 0.11um、0.18um 晶圆，以及客制化嵌入式 eFlash IP 的所有晶圆分类及最终测试。

芯测科技开发了图形用户接口(GUI)EZ-NBIST 工具(可配置化非挥发性内存测试与修复电路开发环境)，以节省非挥发性内存(NVM) IP 的 BIST 编码时间。EZ-NBIST 遵循 eFlash 供货商的测试方法，实现了所有测试项目的时序图，并节省了 ATE 上长时间的平行测试。

2. 为什么 NVM IP 需要使用 BIST 和 BISR ?

NVM IP 的测试功能相当复杂，涉及各种干扰条件。内存 BIST 可在 IC 中增加逻辑，使得 SoC 可以自行测试其内部的记忆体操作。

MBIST 透过有效的测试算法测试 eFlash 宏，以检测可能出现的所有故障问题。MBIST 并根据 eFlash 供货商的请求，生成测试模式并进行读取，以找出 eFlash 中的缺陷。

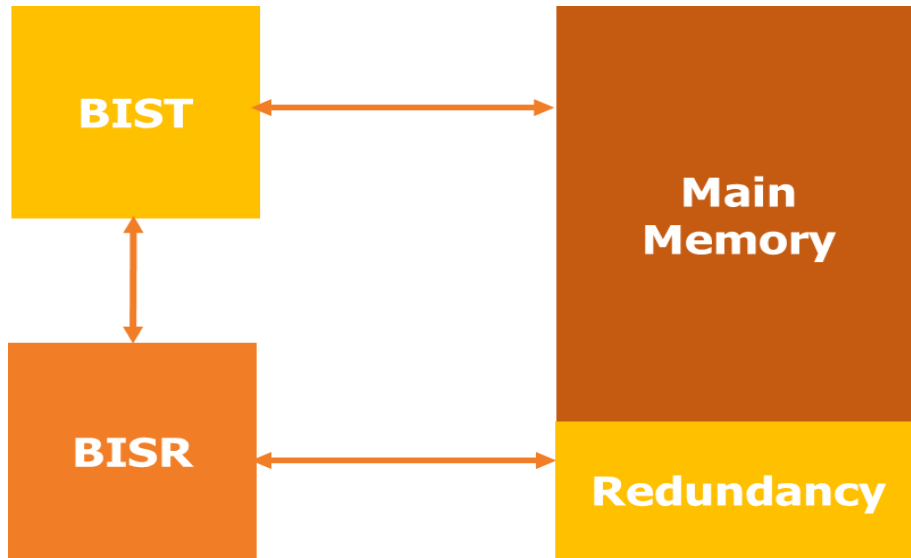
BISR 是增加修复电路，使用备份内存来提高 eFlash IC 的产品良率。

3. 芯测科技为 NVM IP 打造的 BIST 和 BISR 功能

芯测科技所开发的 EZ-NBIST，即是用于生成 eFlash IP 的 BIST 和 BISR 的专属 EDA 工具。

芯测科技的 BIST 实现了所有 eFlash 的测试项目，涵盖晶圆软件测试和最终测试。BIST 拥有灵活的串行式接口，可减少 IC 测试接脚的使用，增加了 BIST 测试的弹性。所有测试项目可以个别启用和停用；此工具并提供诊断模式以测试缺陷地址。

芯测科技的 BISR 记录了 eFlash 故障的内存地址，并使用备援区域来提高 eFlash IC 的产品良率，同时提供自动修复功能。图 1 呈现 eFlash 测试和修复方案；图 2 为 eFlash 测试与修复功能说明；图 3 呈现 eFlash 之诊断模拟输出；图 4 则为 BISR 电路区块。



图四

4. EZ-NBIST 操作说明

EZ-NBIST 以 GUI 为主，专为 NVM 产出 BIST 和 BISR。图 5 为 EZ-NBIST 的 GUI 接口图，操作时首先须点选「Config」下拉式选单中的「EZ-NBIST Config」。



图五

接下来点选「Run」下拉式选单中的「Run...」，以执行 EZ-NBIST。



图六

5. EZ-NBIST 支援的 NVM IP

EZ-NBIST GUI 支持以下 eFlash IP：UMC 64Kx144、UMC 16Kx128、SST 128Kx32、SST 16Kx32，同时也支持其他定制化的 IP 尺寸。使用者可选择 UMC、SST 和定制的 eFlash 宏类型、供货商类型和特定的 eFlash 宏大小，如图 7 和图 8 所示。



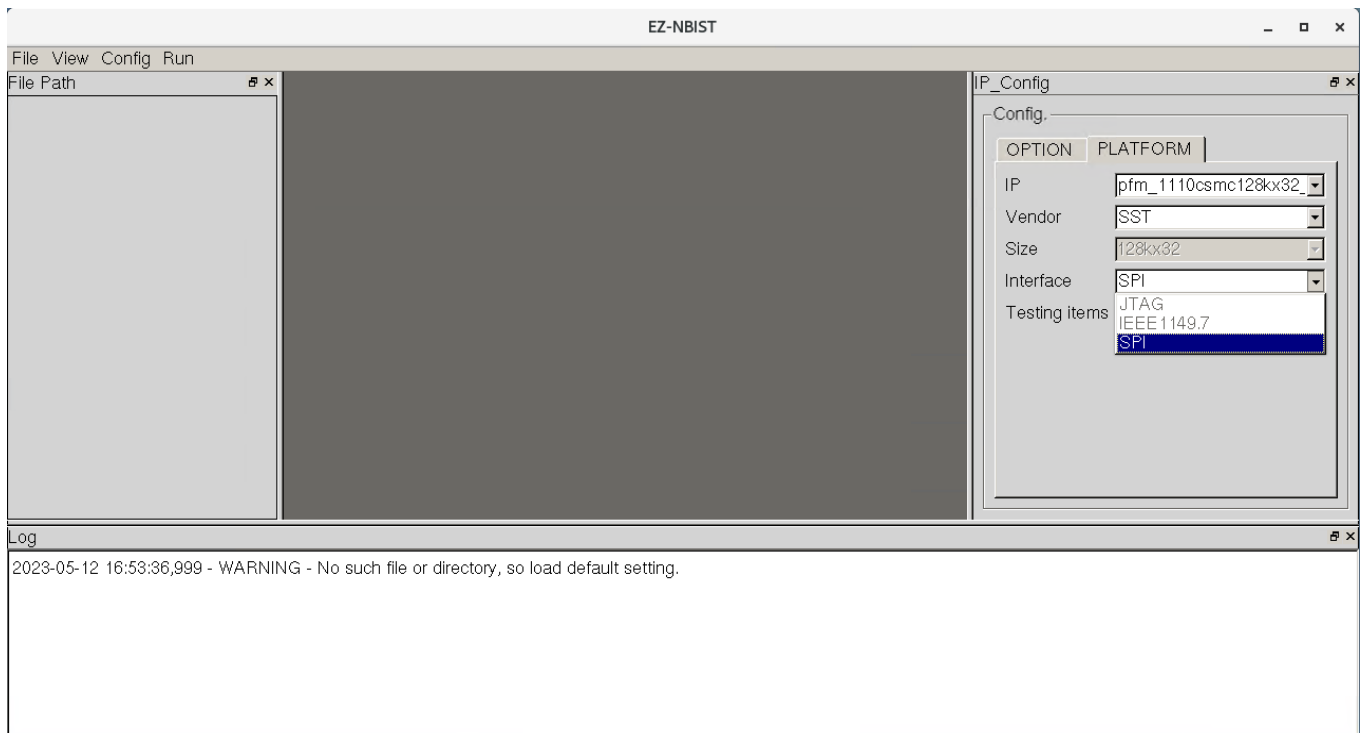
图七



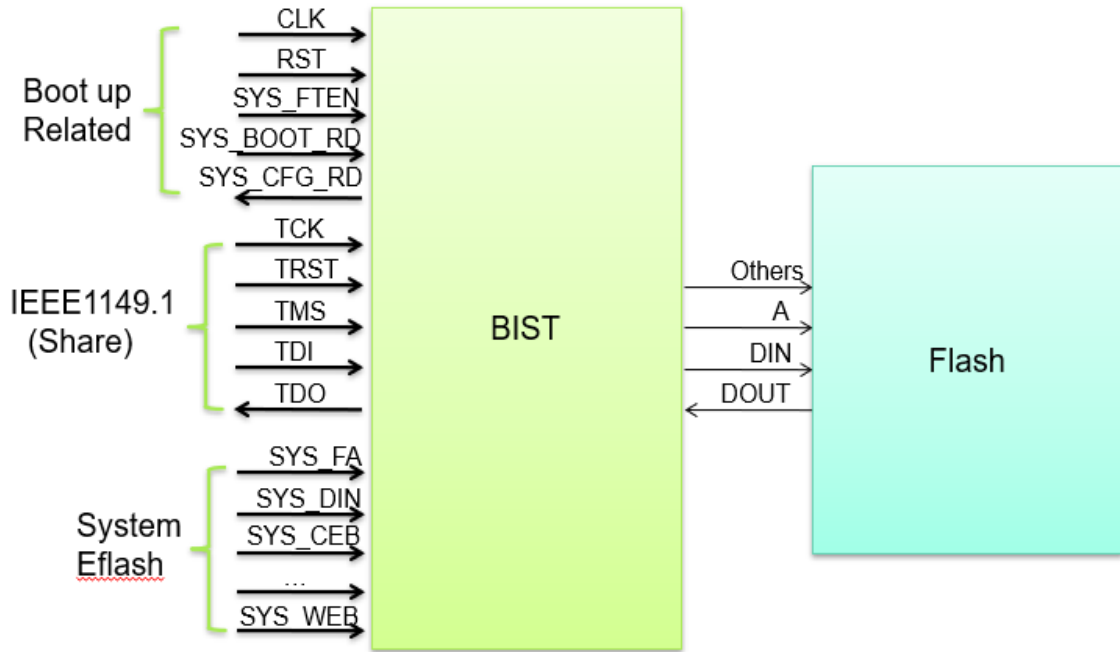
图八

6. EZ-NBIST 涵盖的接口种类

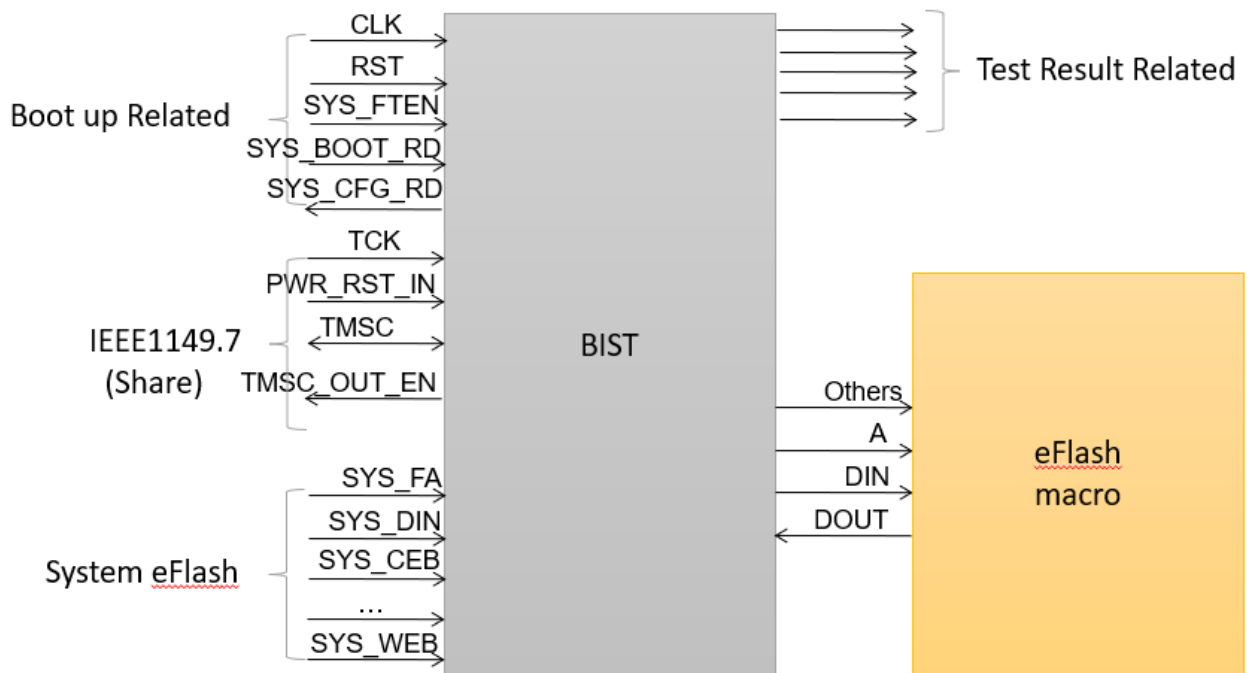
EZ-NBIST 支持三种串行式接口，包括 JTAG、IEEE1149.7 和 SPI，如图 9 所示。图 10、11、12 则分别为 JTAG 接口、IEEE1149.7 面、以及 SPI 接口的 eFlash 测试和修复区块。



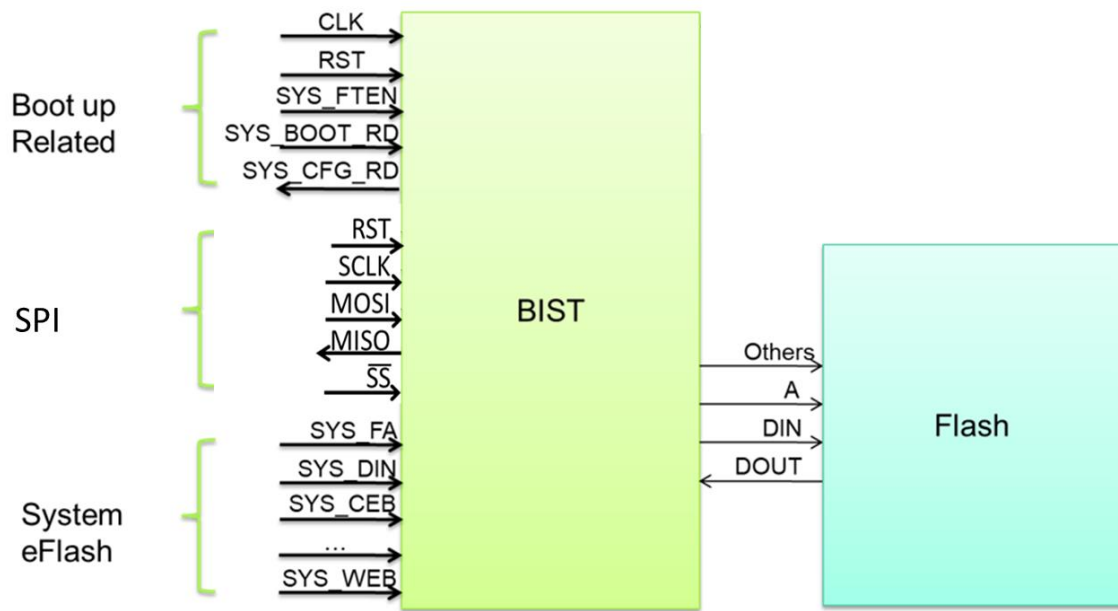
图九



图十



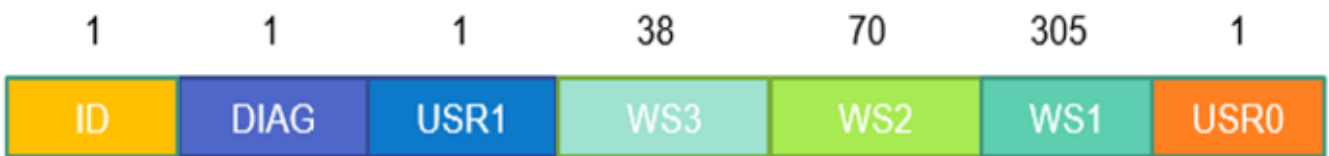
图十一



图十二

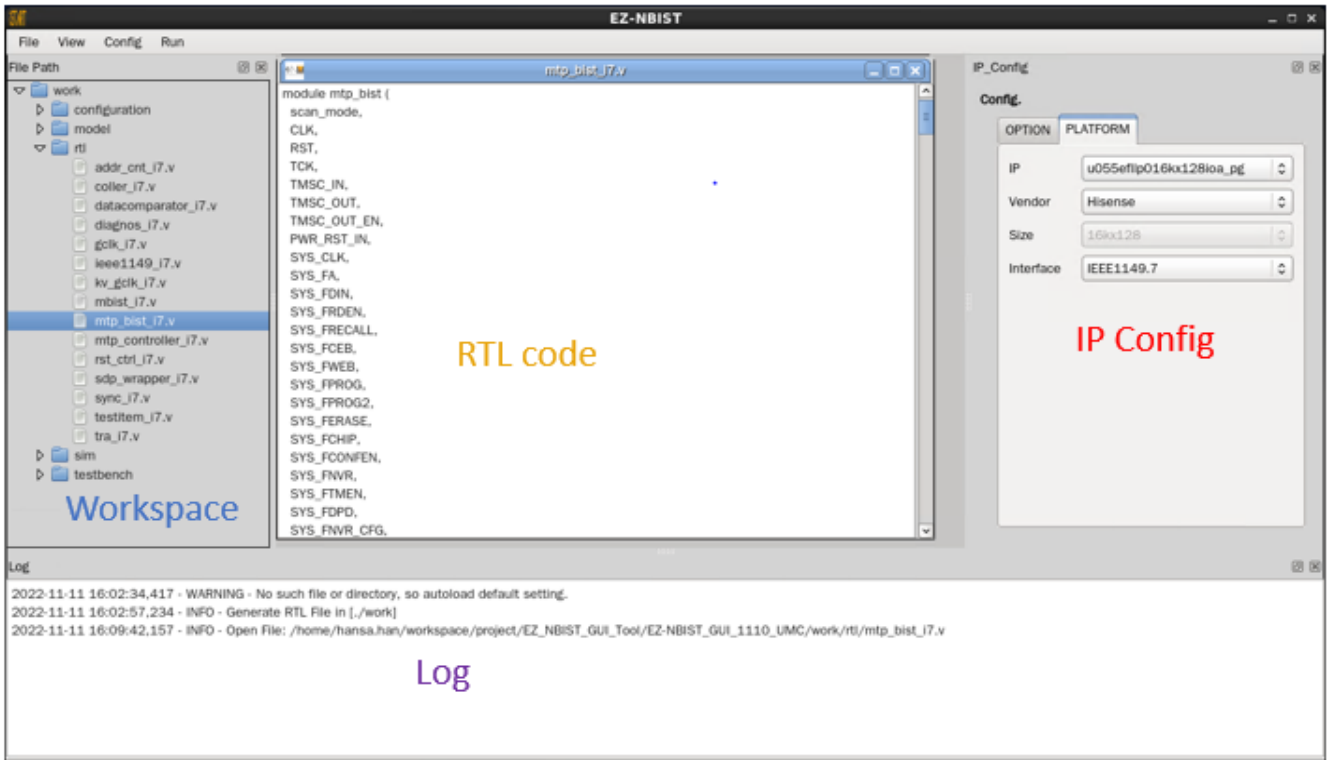
7. EZ-NBIST 的灵活性

EZ-NBIST 支持不同的 eFlash 宏大小的可配置化 BIST 和 BISR IP，所有的 eFlash 时间参数都可作调整。图 13 呈现所有可个别启动或停用的测试项目。



图十三

EZ-NBIST 可帮助使用者生成完整的综合 RTL、验证环境、测试模式、行为模型和定制化的 eFlash 数据库，如图 14 所示。



图十四

若要使用 eFlash 模型执行仿真，用户可以选择一个测试模式来生成仿真转储档案。例如：执行「2」来启动「ws1」测试项目的仿真流程，如图 15 所示。

```

1  1149          check dr1=10..01, dr2=2, dr3=3, dr4, ten= 1, 0, 1, 1, 0, 0, 1
                check tdo=10' b10_0000_0001 when ir=5
                check tdo=32' hffff_ffff when ir=6
                check clear_ten and ten
2          ws1      check ws1 test item
3          ws2      check ws2 test item
4          ws3      check ws3 test item
5          ws1_trim check ws1 trim function
6          ws1_repair check ws1 repair function
7          repair   check ws2 test item, has_fault
8          repair_fail check ws2 test item, has_fault
9          diagnosis check ws2 test item, has_fault
10         normal_test check normal function
    
```

图十五

8. 结论

EZ-NBIST 提供 UMC 和 SST 的专业 eFlash BIST/BISR 测试项目。EZ-NBIST 节省了 eFlash 在 ATE 调整参数的时间；SoC 增加的 eFlash BIST 和 BISR 电路面积也在可接受范围。EZ-NBIST 也是容易操作设定，可让使用者轻松完成 eFlash IP 的测试电路。

作者：芯测科技 韩承谚

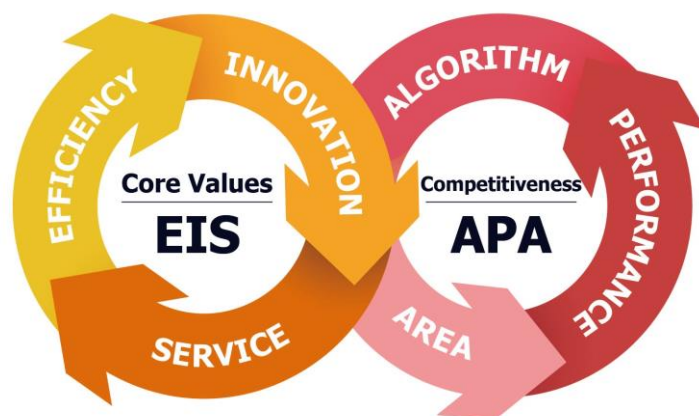
恭喜芯测科技客户"上海美仁半导体"荣获 2023 IIC SH 年度最佳 MCU 大奖！



恭喜芯测科技(上海芯复瑞)客户"上海美仁半导体(美仁芯片)"于 2023 年 3 月 30 日·中国 IC 设计成就奖·颁奖典礼暨中国 IC 领袖峰会(2023 IIC SH)凭借主控 MCU MR88F001 荣获热门 IC 产品类奖项——年度最佳 MCU 大奖！芯测科技与有荣焉。

[查看原文](#)

芯测科技的产品可望为 IC 设计公司提高芯片的竞争力(EIS、APA)



近期传出 IP(矽智财)大厂 ARM(安谋)计划于 2024 年改变商业模式，将原先以芯片均价的收费方式，调整成按终端产品的平均销售价格之一定比例进行收费，目前 ARM(安谋)的智慧型手机芯片市占率高达 90%，另外在车用电子芯片、电脑芯片及云端芯片均有稳定市占率。因此，新的商业模式将会成为 ARM(安谋)的营收成长加速器，同时也会影响到芯片的平均成本。

[查看原文](#)

芯测科技企业客户 – 联芯通《支持 ISO 15118 Plug & Charge 即插即充，优化电动汽车充电 体验 !》 迎向巨大里程碑



杭州联芯通半导体有限公司（简称联芯通）是一家智能充电通信芯片设计公司，提供支持 ISO 15118 即插即充的解决方案。该功能可简化充电流程，充电站将自动识别车辆信息，用户无需在充电开始前进行手动验证。

[查看原文](#)