

iSTART iReport

➤ 專利 Patent

可配置化的非揮發性記憶體測試及修復系統P 1

➤ 活動 Event

- VIP Spring Tea Party 大陸春酒茶會P 2
- CWGCE 成都全球芯片與半導體產業博覽會P 2
- GSIE 全球半導體產業重慶博覽會P 2
- SEMICON SEA 檳城半導體展覽會P 2
- Webinar 線上研討會P 2

➤ 新聞 News

- 芯測科技以力旺電子 RRAM IP 開發測試與修復矽智財 ..P3
- 芯測科技與巨有科技建立生態系統策略合作夥伴關係P 4
- 芯測科技與翊傑科技建立生態系統策略夥伴關係P 5

➤ 技術文章 White Paper

- 專屬的定製化車用電子功能設計P 6
- 高度可配置化 eFlash IP 測試與修復電路開發環境：
EZ-NBISTP 7

➤ 其他 Others

- 芯測科技受邀「國際積體電路電腦輔助設計軟體製作競賽」命題P23
- 恭喜芯測科技客戶"上海美仁半導體"榮獲 2023 IIC SH 年度最佳 MCU 大獎！P24
- 芯測科技的產品可望為 IC 設計公司提高晶片的競爭力 (EIS、APA)P24
- 芯測科技企業客戶-聯芯通《支持 ISO 15118 Plug & Charge 即插即充，優化電動汽車充電體驗！》迎向巨大里程碑P25

可配置化的非揮發性記憶體測試及修復系統

芯測科技已成功取得中華民國新型專利證書！「可配置化的非揮發性記憶體測試及修復系統」

這項專利進一步鞏固了芯測科技在記憶體測試和修復領域以及 EDA 工具市場的領先地位。



活動 Event



VIP Spring Tea Party 大陸春酒茶會

日期：3月29日(三)

時間：09:00-16:30

地點：上海長榮桂冠酒店3樓台北廳

芯測科技 2023 VIP 春酒茶會活動已圓滿落幕，本年度 VIP 春酒茶會於上海長榮桂冠酒店舉辦，現場共計多位貴賓參與，活動期間芯測科技發表了車用電子晶片的解決方案與最具性價比的記憶體調適工具，並邀請多位生態系統合作夥伴上台分享，在此感謝各位貴賓一同共襄盛舉。



CWGCE 成都全球芯片與半導體產業博覽會

展期：4月26日(三)到4月28日(五)

時間：09:00-16:30

地點：成都世紀城新國際會展中心 NO.C1330



GSIE 全球半導體產業重慶博覽會

展期：5月10日(三)到5月12日(五)

時間：09:00-16:00

地點：全球半導體產業重慶博覽會 NO. A137



SEMICON Asia 檳城半導體展覽會

展期：5月23日(二)到5月25日(四)

時間：10:00-17:00

地點：檳城國際會展中心三樓 NO. A1152



高度可配置化 eFlash IP 測試與修復電路開發環境: EZ-NBIST

展期：6月8日(四)

時間：14:00-14:30

形式：線上直播

芯測科技以力旺電子 RRAM IP 開發 測試與修復矽智財

RRAM (可變電阻式記憶體) 是一種 NVM (非揮發性記憶體)。RRAM 存儲容量大, 有可能取代手機、AIoT (人工智慧物聯網)、IoT (物聯網) 和車用電子晶片等電子產品中使用的快閃記憶體。

RRAM 作為 Flash 的替代品越來越受歡迎, 尤其是在性能和能源效率不斷提高的晶片中, RRAM 已展示出比 Flash 更低的讀取延遲和更快的寫入速度, 與 NAND Flash 相比, RRAM 的特點是切換速度快。此外, 它比 NAND Flash 消耗更少的功率, 使 RRAM 成為理想的記憶體, 使得 RRAM 非常適合用於工業、汽車、AIoT 和 IoT 的晶片中。

亞洲唯一專注於記憶體測試與修復解決方案芯測科技(iSTART-TEK, 股票代號 6786), 獨家供應記憶體測試與修復解決並提供客製化設計的服務, 主要產品包括 EDA 工具與 IP (矽智財)。隨著車市加溫, 目前全球汽車大廠爭相投入的研發方向多以如何生產更安全、舒適、方便的高科技車輛為主要目標, 芯測科技以力旺電子 RRAM IP 為基礎開發的測試和修復解決方案, 可望為車用電子晶片開發商提供最合適的記憶體自我檢測解決方案, 並提高生產良率。

芯測科技採用力旺電子提供的 RRAM 的 Behavioral model 進行客製化的記憶體測試與修復 IP 的設計。此客製化 IP 包含 RRAM 的測試項目與修復方式的數位電路。透過此客製化 IP 的設計, 可以降低晶片開發商的設計成本, 縮短設計時間。對於車用電子晶片開發商而言, 除了可以使用 RRAM 所帶來的技術優勢, 更可以透過芯測科技的客製化 RRAM 測試和修復 IP, 提高晶片的良率。

[查看原文](#)

芯測科技與巨有科技建立生態系統策略合作夥伴關係

芯測科技(股票代號：6786)與巨有科技(股票代號：8227)建立生態系統策略合作夥伴關係，提供芯測科技的客戶在半導體代工廠與封測廠上更加多元的選擇。

巨有科技(股票代號：8227)創立於 1991 年，是台灣前十大 IC 設計服務公司之一，為台積電(TSMC)的策略夥伴 Design Center Alliance (DCA)。巨有科技專注於 ASIC 設計的 Turnkey 服務，專攻 12 吋晶圓高階奈米製程的設計服務，也與封裝廠日月光(ASE)緊密配合，提供更多的 IP(矽智財)的解決方案，滿足客戶產品多元化應用的需求，提昇客戶產品的競爭力優勢。自有 in-house 測試工廠可以提供測試程式開發服務，晶片探測與高低溫測試服務和 IC 最終測試服務，為客戶在工程和大規模生產階段提供整合測試解決方案。成立至今，已經為數百位的客戶成功在台積電(TSMC) Tape-out 超過 1000 件的專案，產品出貨超過數億顆 IC 的量產經驗。

芯測科技(股票代號：6786)是技術領先的客製化 EDA 工具與客製化 IP 供應商，專注於記憶體測試與修復解決方案及客製化設計服務。得益於半導體產業鏈的絕佳位置，建構出完整的生態系統，結合 IC 設計公司、設計服務公司、記憶體 IP 供應商、晶圓代工廠、測試機台供應商與雲端服務平台等領域。透過生態系統的綿密整合，拓展更廣泛的市場需求，同時提供客戶更高的附加價值及市場競爭力。芯測科技的定製化車用電子晶片相關的功能性設計，讓許多車用電子晶片選擇芯測科技的解決方案，如今，透過專業的設計服務公司巨有科技的策略合作，豐富了客戶在量產與封測上的選擇性，也增加客戶採用芯測科技解決方案的機會。

[查看原文](#)

芯測科技與翊傑科技建立生態系統策略夥伴關係

芯測科技 (iSTART-TEK)與翊傑科技 (EE Solutions)共同合作建立生態系統策略夥伴關係，豐富了芯測科技建構的生態系統成員。

翊傑科技正持續建立與 EDA 廠商、IP/library 廠商和半導體晶圓代工廠的夥伴關係，堅信「分工」概念並積極尋找新的夥伴，共同面對並突破設計上的挑戰。其中，翊傑科技獨特的「混合」設計環境所採用的工具，來自於多個 EDA 廠商與內部所開發的工具，以便實現功率、雜訊和晶片尺寸的最佳化。目前翊傑科技已與許多方案供應商建立密切的合作夥伴關係，除了提供豐富的 IP 選擇方案，更提供完整的整合服務。在嚴格控管客戶資料安全下，提供品質導向的標準化作業流程，同時搭配靈活且客製化的商模，提供客戶具有競爭力的 NRE 價格，並協助客戶加速完成設計與量產。翊傑科技 (EE Solutions)透過先進的設計技術提供客戶最佳的解決方案與有效的設計方法及一系列先進的 IP (矽智財)，協助客戶邁入奈米的設計領域。其中服務範圍如 ASIC 設計的規格討論與制定，能充分且彈性地滿足客戶的設計需求，協助客戶解決技術問題並完成量產開發。

芯測科技 (iSTART-TEK)是專注於 SoC (系統晶片)內記憶體測試與修復的客製化 EDA 工具與客製化 IP (矽智財)供應商。得益於半導體產業鏈的絕佳位置，芯測科技正在建構完整的生態系統，結合 IC 設計公司、設計服務公司、記憶體 IP 供應商、晶圓代工廠、測試機台供應商與雲端服務平台等領域。透過生態系統的綿密整合，拓展更廣泛的市場需求，同時提供客戶更高的附加價值及市場競爭力。

芯測科技持續布局生態系統，希望藉由生態系統打造共榮圈。透過與專業的設計服務公司翊傑科技的策略合作，豐富了客戶在 SoC 設計上的選擇性，也增加客戶採用芯測科技解決方案的機會。

[查看原文](#)

專屬的定製化車用電子功能設計

隨著全球汽車產業邁向智能化與電動化，車用電子更重視晶片的可靠度測試及安全性功能，以期達到 AEC-Q100 的規範，進而打進車用市場。芯測科技的 START™ v3 除了提供豐富的記憶體測試功能與高效率的記憶體修復方案，還提供專屬的定製化車用電子功能，如：POT 2.0 (Power_On Test), ECC (Error-Correcting-Code), UDA (User Defined Algorithm) 等功能。讓晶片開發商可以根據晶片的應用，精準檢測出有記憶體缺陷的車用電子晶片，提高行車安全。

一、POT 2.0 (Power_On Test)

1. 功能介紹：

POT 2.0 在電子產品裡是非常重要的功能，尤其在車用與安全性相關的電子產品。能確保硬體電路上電後進行記憶體檢測，並驗證行為正確性。芯測科技開發了具有記憶體測試與修復功能的 POT 2.0，加入 START™ v3 工具中，可以讓使用者方便在設計裡加入記憶體 POT 功能的電路，並提供下列幾種啟動方式：

- ROM：將測試命令(Command)存入 ROM。
- RTL：將測試命令存入由 RTL 描述的 ROM。
- Basic：提供 host_MEN 信號，進行記憶體測試。
- CPU：可以透過 CPU 下達測試指令來控制 BIST 電路。

在應用上也能加入 LATCH_GO 診斷功能，以一顆記憶體對應一位元的形式進行記憶體錯誤編號標記，讓使用者快速了解記憶體發生錯誤的位置。而 Error Injection 的功能，能在電路 Test Pattern Generator 中植入用於驗證 BIST 電路正確性的錯誤資訊，能大幅增加 BIST 電路可靠度。此外，使用 POT 2.0 時，如檢測出新的記憶體錯誤，皆能對錯誤點進行記憶體修復。

2. 使用方式：

設定 START™ v3 (BFL)：

由 set pot 選項設定，如圖一所示。

```

set parallel_on           = no           # yes, no
set reduce_address_simulation = no           # yes, no
set rom_half_access       = no           # yes, no
set rom_result_shiftin    = yes          # yes, no
set rom_result_shiftout   = no           # yes, no
set specify_clock_mux     = no           # yes, no
set specify_dt_port_value = no           # yes, no
set 0_pipeline            = no           # yes, no
set pot                   = rom          # no, rom, hw_rom, basic , cpu
set ecc_function          = no           # yes, no

```

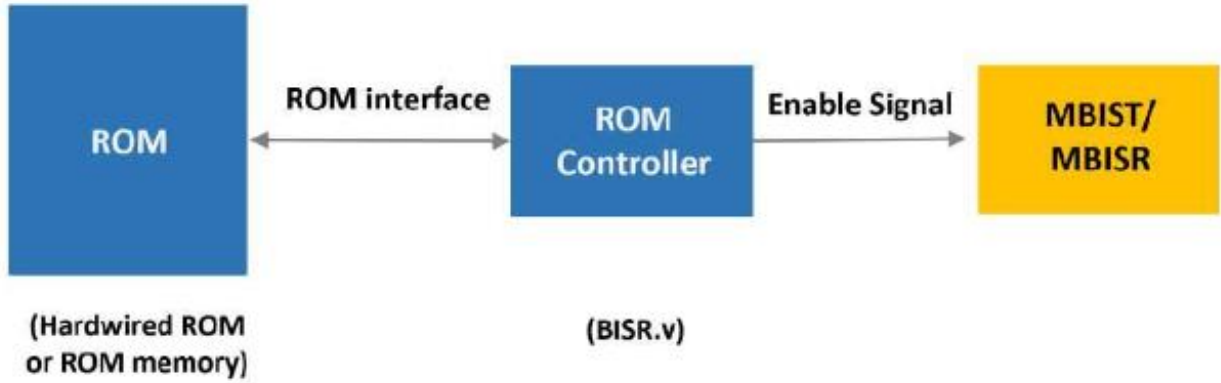
圖一 POT 設定選項

i.set pot = rom or set pot =hw_rom

設定 pot 選項為 “rom”，測試命令將被存入 ROM；設定 pot 選項為 “hw_rom”，會將測試命令存入由 RTL 描述的 ROM，又稱為 Hardwired ROM。最後完成 BFL 與 BII 流程，產生相對應之電路與腳位以供使用。

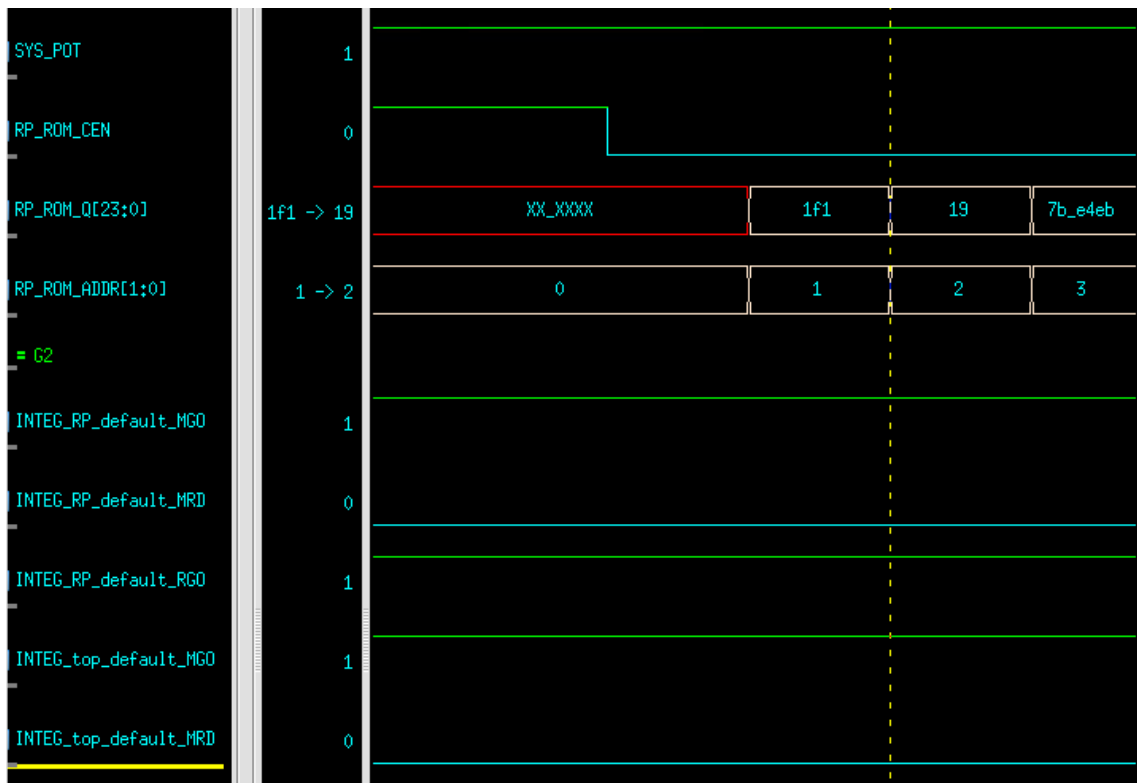
POT 的模塊圖，主要分為三個模塊，分別為 ROM 記憶體/Hardwired ROM, ROM Controller 和 MBIST/MBISR，如圖二所示。

首先 ROM Controller 接收到執行 POT 功能後，會讀取存放在 ROM 記憶體/Hardwired ROM 的測試命令，接著發送控制訊號到 MBIST，開始進行記憶體的測試，若檢測到記憶體錯誤，MBISR 則會自動執行修復流程。



圖二 POT 模塊圖

執行 POT 功能相關訊號的波形圖，SYS_POT 為 POT 的始能訊號，此訊號啟動後，ROM Controller 會到 ROM 記憶體/Hardwired ROM 進行讀取測試指令，並開始記憶體測試與修復，可由 MGO, MRD, RGO 訊號得知測試結果，如圖三所示。



圖三 POT 相關訊號波形圖

POT= "rom" 或 "hw_rom" 的 MBIST/MBISR 的訊號線如圖四所示。

Name	Direction	Width	Description
SYS_READY	input	1	System boot is ready to enable BISR logics (hard repair only) 1'b1 : Ready to load data from NVM storage)
SYS_POT	input	1	Enable Power on test (normal function test only)
BOOT_CFG_DONE	output	1	The shifting of configuration data is completed (hard repair only) 1'b1 : the scan is completed 1'b0 : the scan is progressing
RCK	input	1	Clock signal for storage device, BISR logics and configuration buffer.
RRST	input	1	Reset signal for storage device, BISR logics and configuration buffer
MRDn	output	1	Indicates if the test is ended or not. 0 : The test is uncompleted 1 : The test is ended
MGOOn	output	1	Indicates if the test is failed or not. 0 : The test is failed 1 : The test is passed
RGOm	output	1	Indicates if the logic can be repaired or not. 0 : The logic cannot be repaired. 1 : The logic can be repaired. (MBISR CTR only.)

圖四 hw_rom 與 rom 的 MBIST/MBISR 訊號

最後產出存入 ROM 之測試命令的 Verilog 檔案，根據使用者設計的 BIST 功能，產生相應的命令，如圖五所示。Hardwired ROM 之 Verilog 程式範例，將測試命令存入由 RTL 描述的 ROM，如圖六所示。

```
@00000000 000000039 // digital_top_with_pad_digital_top_default ['TRANS : 0',
'PRL_ON : 1', 'GRP_EN : 11', 'MEB_ID : 00', 'MEN : 1]
@00000001 000359b6c // GOLD_SIGNATURE_1 {'ctr_name':
'digital_top_with_pad_digital_top_default', 'rom_tpg_position':
'digital_top_with_pad_digital_top_default_tpg_2_1_1'}
@00000002 0009442a9 // GOLD_SIGNATURE_2 {'ctr_name':
'digital_top_with_pad_digital_top_default', 'rom_tpg_position':
'digital_top_with_pad_digital_top_default_tpg_2_1_2'}
@00000003 000b204e4 // GOLD_SIGNATURE_3 {'ctr_name':
'digital_top_with_pad_digital_top_default', 'rom_tpg_position':
'digital_top_with_pad_digital_top_default_tpg_2_1_3'}
```

圖五 存入 ROM 測試命令


```

module rom_24_hw (
CLK,
A,
CEN,
Q
);

input      CLK;
input [2:0] A;
input      CEN;
output [23:0] Q;
reg [23:0] Q;

always@(posedge CLK)
begin
if(~CEN) begin
case(A)
0 : begin
Q <= 24'h000039; // digital_top_with_pad_digital_top_default ['TRANS : 0',
'PRL_ON : 1', 'GRP_EN : 11', 'MEB_ID : 00', 'MEN : 1']
end
1 : begin
Q <= 24'h359b6c; // GOLD_SIGNATURE_1 {'ctr_name':
'digital_top_with_pad_digital_top_default', 'rom_tpg_position':
'digital_top_with_pad_digital_top_default_tpg_2_1_1'}
end
2 : begin
Q <= 24'h9442a9; // GOLD_SIGNATURE_2 {'ctr_name':
'digital_top_with_pad_digital_top_default', 'rom_tpg_position':
'digital_top_with_pad_digital_top_default_tpg_2_1_2'}
end
3 : begin
Q <= 24'hb204e4; // GOLD_SIGNATURE_3 {'ctr_name':
'digital_top_with_pad_digital_top_default', 'rom_tpg_position':
'digital_top_with_pad_digital_top_default_tpg_2_1_3'}
end
default : Q <= Q;
endcase
end
end

endmodule

```

圖六 Hardwired ROM 的 Verilog 程式

ii. set pot = basic

設定 pot 選項為 "basic" 將產生 host_MEN 信號線，供使用者啟動記憶體測試，並可由 MGO, MRD, RGO 訊號得知測試結果，"basic" 選項產生之訊號列表，如圖七所示。

Signal Name	Description
*_host_MEN:	Indicates to enable or disable MBIST/MBISR.
*_MRD	Indicates if the test is ended or not. 0: The test is uncompleted 1: The test is ended
*_MGO	Indicates if the test is failed or not. 0: The test is failed 1: The test is passed
*_RGO	Indicates if the logic can be repaired or not. 0: The logic cannot be repaired. 1: The logic can be repaired. (MBISR CTR only.)

圖七 basic 選項的 MBIST/MBISR 訊號

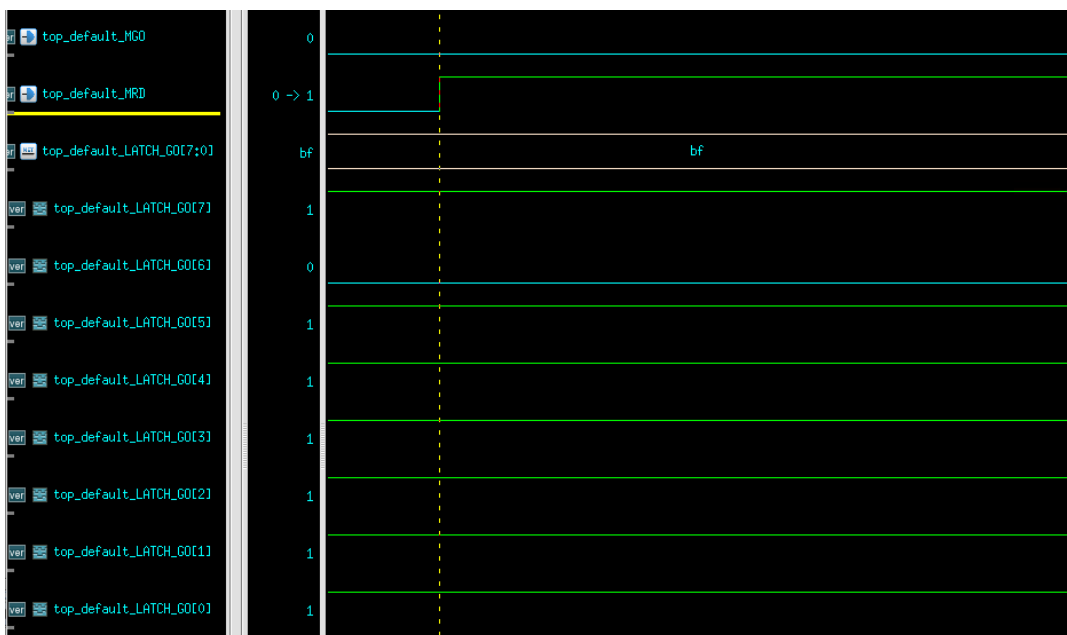
iii. set pot = cpu

設定 pot 選項為 "cpu"，可令使用者直接進行 BIST 電路的控制，並可由調整.bfl 檔案之設定，如圖八所示，增加額外功能，例如 diagnosis_memory_info 功能可新增 LATCH_GO 訊號，令使用者得以快速了解發生錯誤之記憶體編號。編號六之記憶體發生錯誤，如圖九所示。

```

set diagnosis_support           = no           # yes, no
set diagnosis_data_sharing     = no           # yes, no
set diagnosis_memory_info      = no           # yes, no
set diagnosis_time_info        = no           # yes, no
    
```

圖八 BFL 上 Latch_GO 設定



圖九 Latch_GO 波形圖

二、ECC (Error-Correcting-Code)

1.功能介紹：

ECC (Error-Correcting-Code)是指在傳輸時間允許偵測並校正錯誤的一種編碼方法，在接收端藉由已編碼資料偵測並校正傳輸錯誤，可應用於許多資料傳遞與資料保存的操作。在記憶體方面，ECC 能使用電路方法檢查儲存在記憶體中的資料是否正確。

不論是應用在汽車、工業、醫療及通訊等領域，都可能因記憶體失效，導致嚴重後果，而 ECC 的功能，能提高晶片運行時的穩定性和可靠性。

芯測科技提供 ECC 的功能，讓使用者在記憶體增加 ECC 功能，使用上可幫助使用者做到 2bits 的偵測，及 1bit 的修正，而使用時須由記憶體提供 ECC 使用奇偶校驗 (Parity Check) 的空間，來重建校正的數據，須提供的空間為 $2^{\text{Parity}-1} \times \text{Parity} + \text{Data bit}$ ，例如記憶體資料長度為 22bits 時，使用 6bits 的 ECC 空間來檢測 16bit 的數據。

2.使用方式：

設定 START™ v3 (BFL)：

由 set ecc_function 選項設定啟動方式以及 set ecc_prefix 設定 ecc 名稱，如圖十所示。

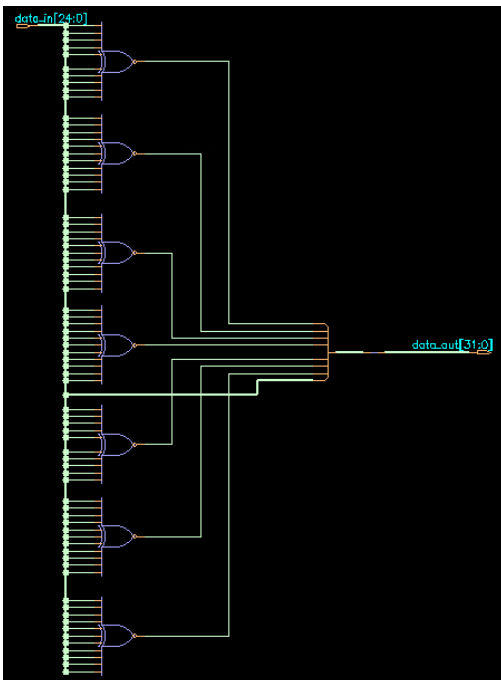
```

set ecc_prefix          = top_ECC
set Q_pipeline          = no
set repair_mode        = yes
set soft_repair        = yes
set ecc_function        = yes      #ecc function
set skip_bist_path     =

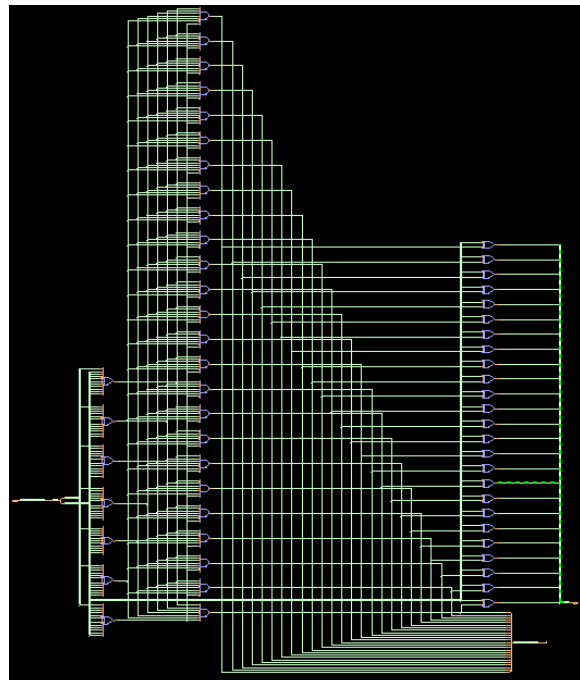
```

圖十 ECC 設定選項

執行完 BFL 與 BII 流程後，產生 ECC 功能的編碼與解碼電路，如圖十一、圖十二所示。

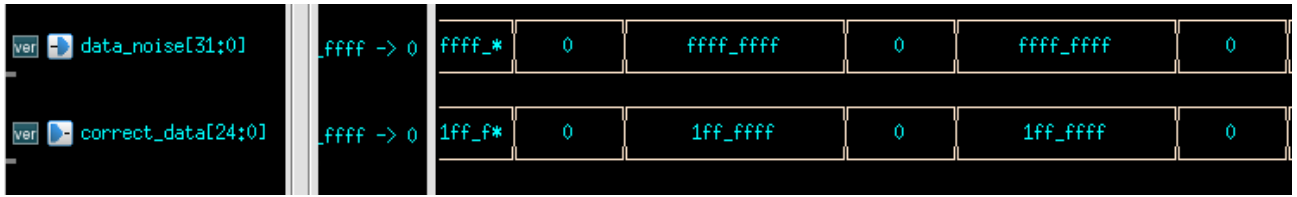


圖十一 encoder 電路



圖十二 decoder 電路

ECC 波形圖，data_noise 為記憶體的数据與編碼過的校驗值，透過解碼後，得知 correct data，並可進行 data 修正，如圖十三所示。



圖十三 ECC 波形圖

三、UDA (User Defined Algorithm)

1. UDA 功能介紹：

隨著科技的演進，新開發的先進製程記憶體搭配現有常見的演算法，會花費較長的測試時間，並且會有重複測試圖像的行為。例如：使用者若同時選擇 March C+(14N)與 March C(11N)的演算法，測試時間需要 25N。

March C+	>(wa) >(ra,wb,rb) >(rb,wa,ra) <(ra,wb,rb) <(rb,wa,ra) <(ra)
March C-	>(wa) >(ra,wb) >(rb,wa) >(ra) <(ra,wb) <(rb,wa) <(ra)

芯測科技研發了使用者自定義演算法功能 UDA (User Defined Algorithm) 可以自行編輯演算法，將重複的元素 (element) 去除，去除後測試時間即可縮短成 23N。

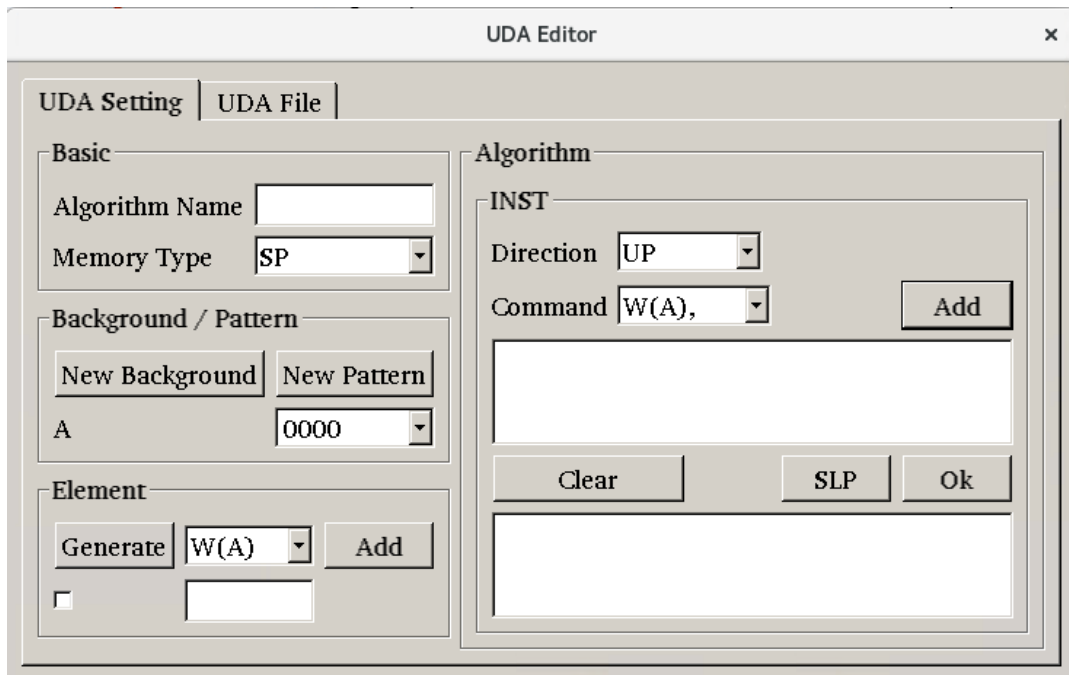
>(wa) >(ra,wb,rb) >(rb,wa,ra) <(ra,wb,rb) <(rb,wa,ra)
>(ra,wb) >(rb,wa) >(ra) <(ra,wb) <(rb,wa) <(ra)

UDA 以元件的形式表達，可透過元件進行重新排列組合，任意產生出新的演算法，如圖十四所示。

語法↵	功能↵
UP↵	Address 由 0 開始上數↵
DN↵	Address 由最大值開始下數↵
ADD_INC↵	由 UP 或 DN 決定，address + 1 或 address - 1↵
N↵	不做任何讀寫的行為↵
R(A)↵	Read memory data，括弧的部份為 Read 的 pattern A↵
W(A)↵	Write memory data，括弧的部份為 write 的 pattern A↵
S↵	Testing Sleeping↵
,↵	區隔不同的 operation↵
;↵	完成當下的 element↵

圖十四 以元件的形式表達

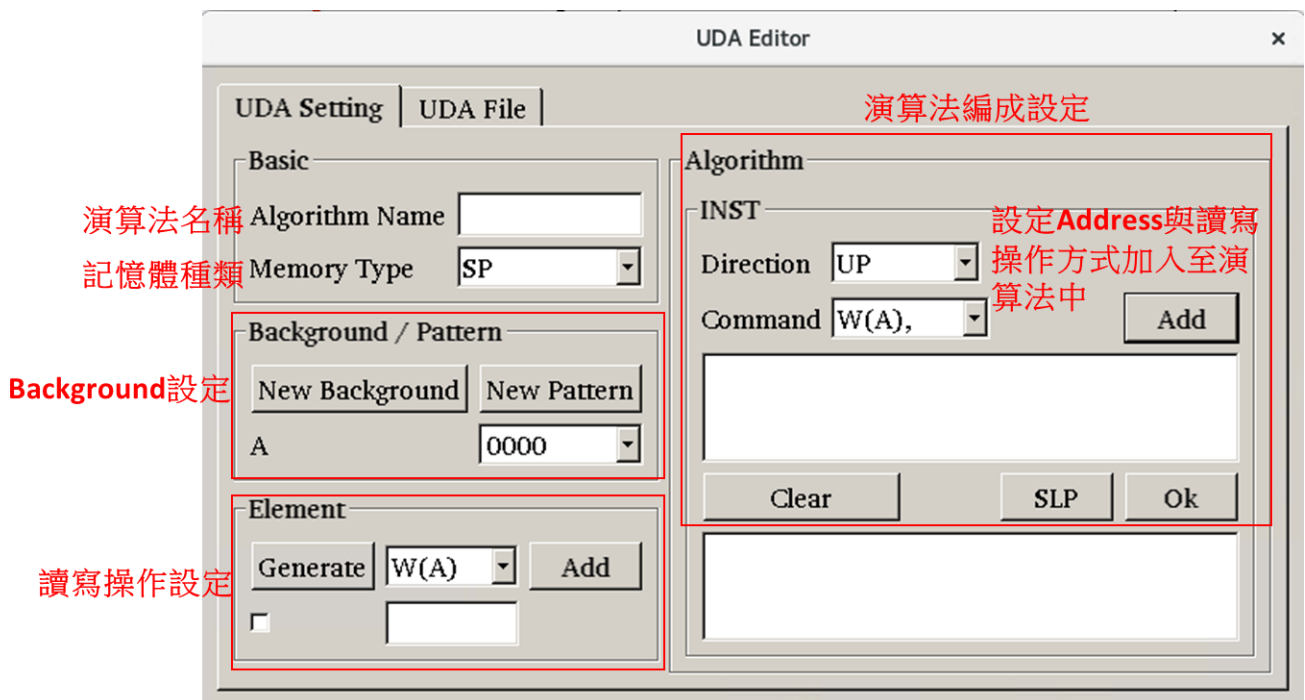
圖形化使用者介面 (GUI) · 友好介面讓使用者能快速上手 · 如圖十五所示。



圖十五 UDA 圖形化操作畫面

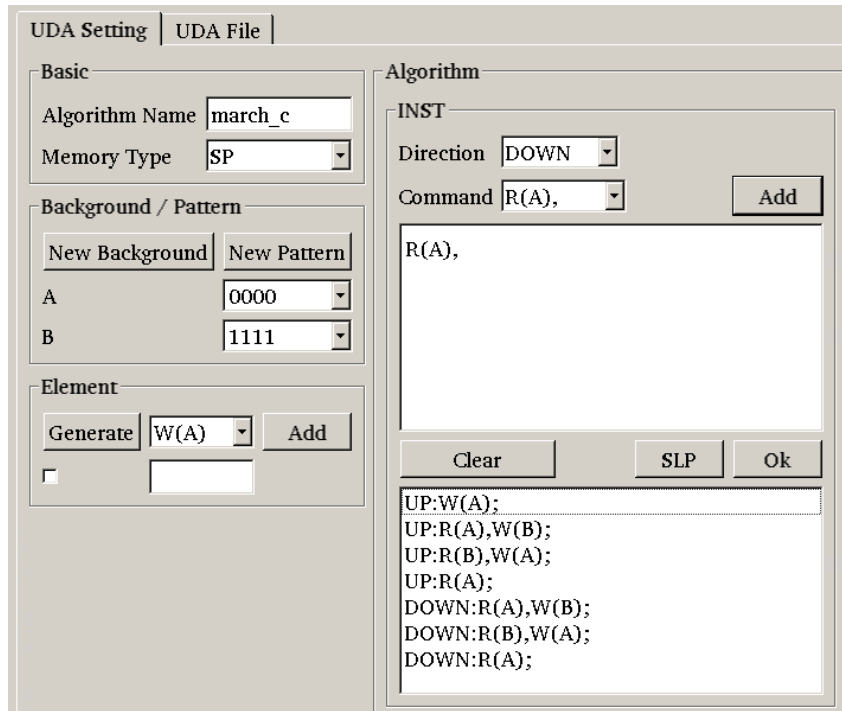
2. 使用方式：

透過 UDA 圖形化操作介面，可快速的設定元素，下圖十六為圖形化操作介面的各項區塊簡介，能簡易的設定測試圖像、讀寫操作方式及位址上下數，完成後產生出演算法。

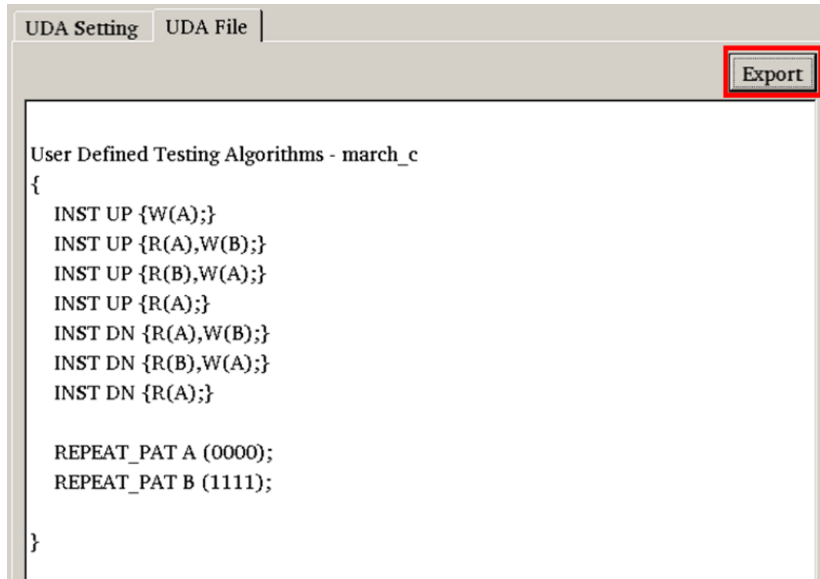


圖十六 圖形化操作介面簡介

舉例一個 March C 的演算法，利用圖形化操作介面，完成演算法的設定後，點選 UDA File 可看到演算法設定的結果，並按下 **Export**，即可將此演算法輸出成.txt 檔。最後在.bfl 設定檔中，設定上述.txt 檔之路徑，完成後即可產生出此演算法的 BIST 電路，如圖十七、十八、十九所示。



圖十七 March C 演算法設定



圖十八 演算法輸出

```
define{user_define_algorithm}
  set SP_alg_path = ./UDA/uda_march_5w.txt |
end_define{user_define_algorithm}
```

圖十九 UDA 檔案設定

高度可配置化 eFlash IP 測試與修復 電路開發環境:EZ-NBIST

1. 非揮發性記憶體(NVM) IP 的測試方法

eFlash IP 的測試方法涵蓋聯電 40nm、55nm 及 SST 0.11um、0.18um 晶圓，以及客製化嵌入式 eFlash IP 的所有晶圓分類及最終測試。

芯測科技開發了圖形使用者介面(GUI)EZ-NBIST 工具(可配置化非揮發性記憶體測試與修復電路開發環境)，以節省非揮發性記憶體(NVM) IP 的 BIST 編碼時間。EZ-NBIST 遵循 eFlash 供應商的測試方法，實現了所有測試項目的時序圖，並節省了 ATE 上長時間的平行測試。

2. 為什麼 NVM IP 需要使用 BIST 和 BISR ?

NVM IP 的測試功能相當複雜，涉及各種干擾條件。記憶體 BIST 可在 IC 中增加邏輯，使得 SoC 可以自行測試其內部的記憶體操作。

MBIST 透過有效的測試演算法測試 eFlash 巨集，以檢測可能出現的所有故障問題。MBIST 並根據 eFlash 供應商的需求，生成測試模式並進行讀取，以找出 eFlash 中的缺陷。

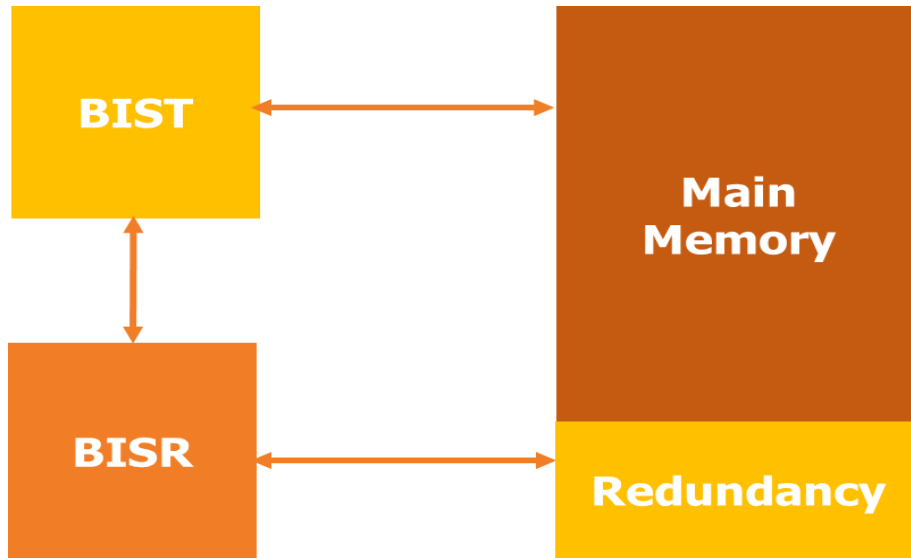
BISR 是增加修復電路，使用備份記憶體來提高 eFlash IC 的產品良率。

3. 芯測科技為 NVM IP 打造的 BIST 和 BISR 功能

芯測科技所開發的 EZ-NBIST，即是用於生成 eFlash IP 的 BIST 和 BISR 的專屬 EDA 工具。

芯測科技的 BIST 實現了所有 eFlash 的測試項目，涵蓋晶圓軟體測試和最終測試。BIST 擁有靈活的串列式介面，可減少 IC 測試接腳的使用，增加了 BIST 測試的彈性。所有測試項目可以個別啟用和停用；此工具並提供診斷模式以測試缺陷位址。

芯測科技的 BISR 記錄了 eFlash 故障的記憶體位址，並使用備援區域來提高 eFlash IC 的產品良率，同時提供自動修復功能。圖 1 呈現 eFlash 測試和修復方案；圖 2 為 eFlash 測試與修復功能說明；圖 3 呈現 eFlash 之診斷模擬輸出；圖 4 則為 BISR 電路區塊。



圖四

4. EZ-NBIST 操作說明

EZ-NBIST 以 GUI 為主，專為 NVM 產出 BIST 和 BISR。圖 5 為 EZ-NBIST 的 GUI 介面圖，操作時首先須點選「Config」下拉式選單中的「EZ-NBIST Config」。



圖五

接下來點選「Run」下拉式選單中的「Run...」，以執行 EZ-NBIST。



圖六

5. EZ-NBIST 支援的 NVM IP

EZ-NBIST GUI 支援以下 eFlash IP：UMC 64Kx144、UMC 16Kx128、SST 128Kx32、SST 16Kx32，同時也支援其他客製化的 IP 尺寸。使用者可選擇 UMC、SST 和定製的 eFlash 巨集類型、供應商類型和特定的 eFlash 巨集大小，如圖 7 和圖 8 所示。



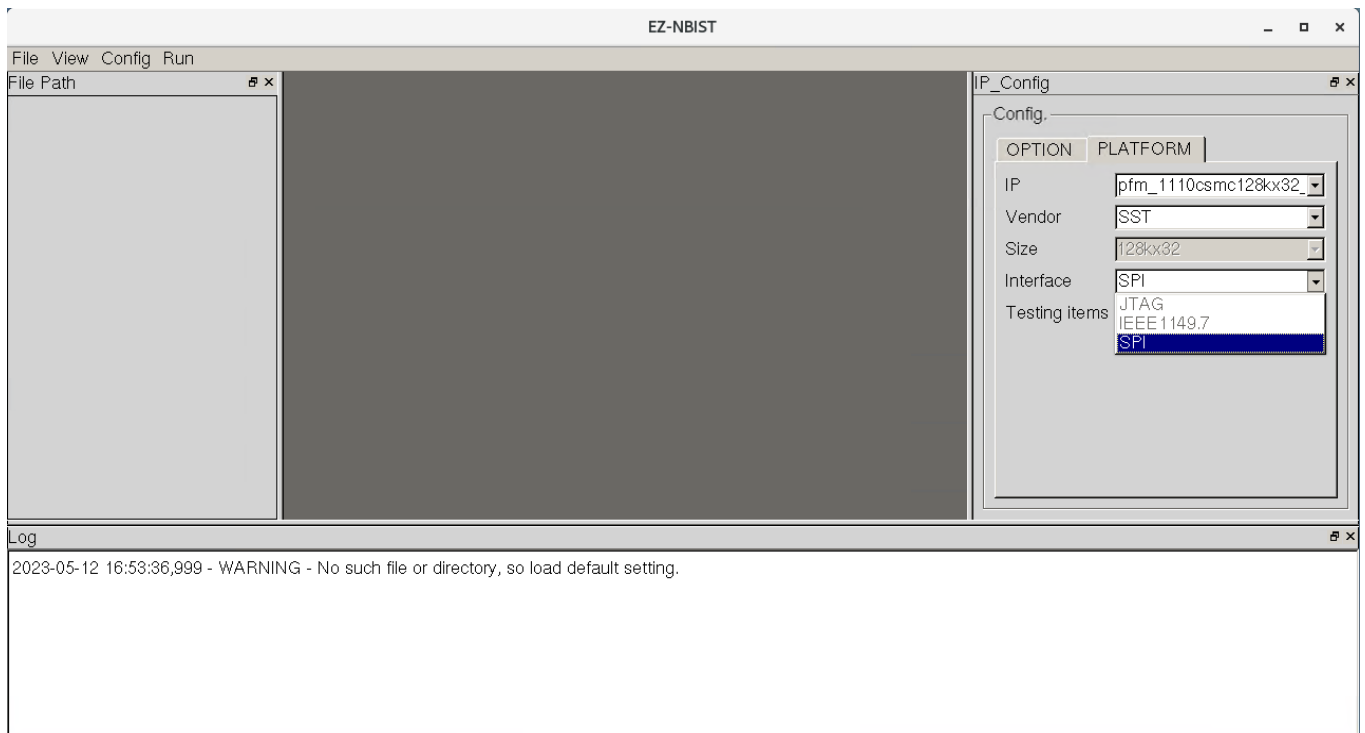
圖七



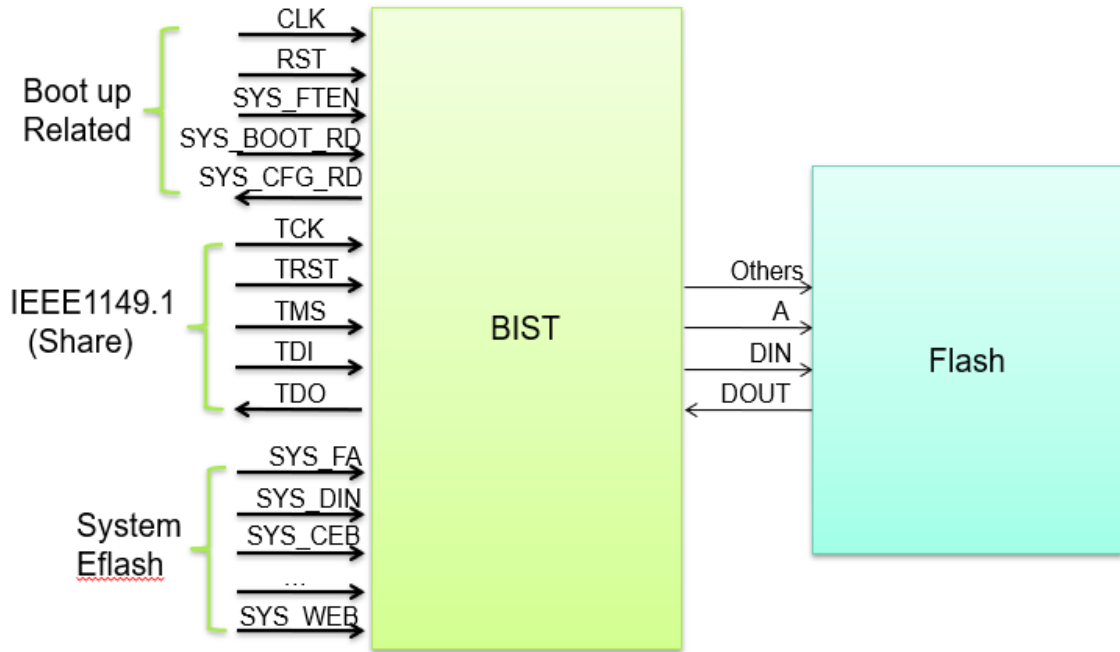
圖八

6. EZ-NBIST 涵蓋的介面種類

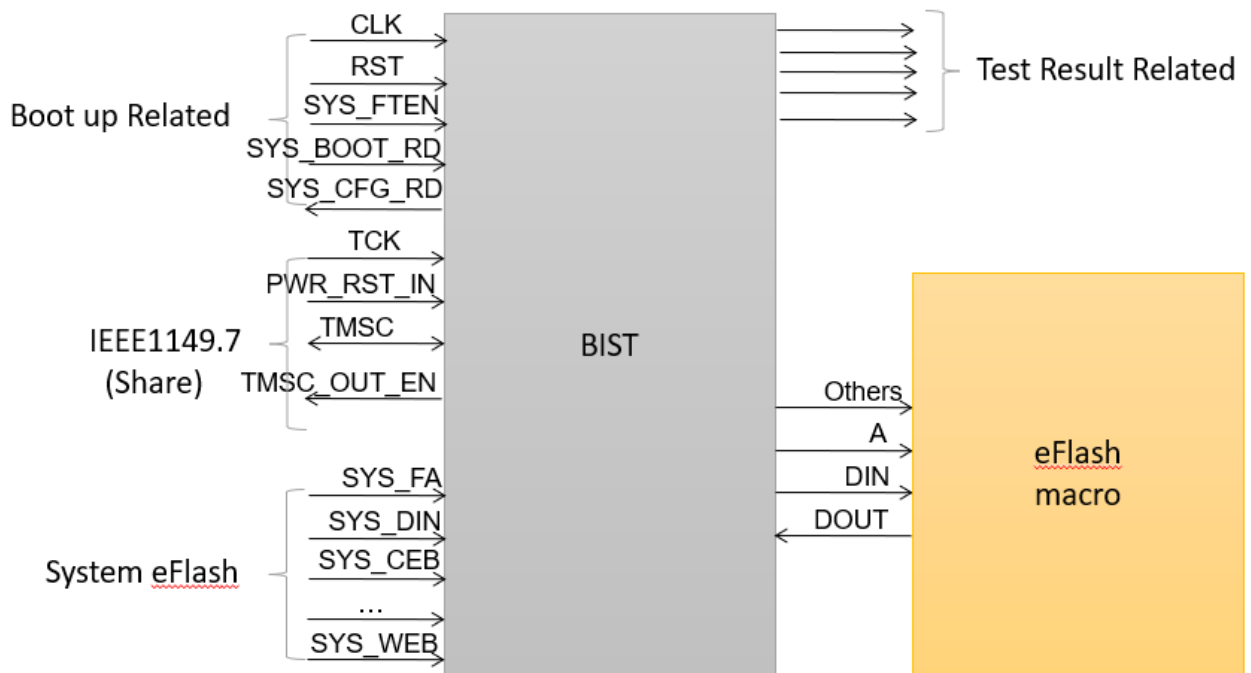
EZ-NBIST 支援三種串列式介面，包括 JTAG、IEEE1149.7 和 SPI，如圖 9 所示。圖 10、11、12 則分別為 JTAG 介面、IEEE1149.7 面、以及 SPI 介面的 eFlash 測試和修復區塊。



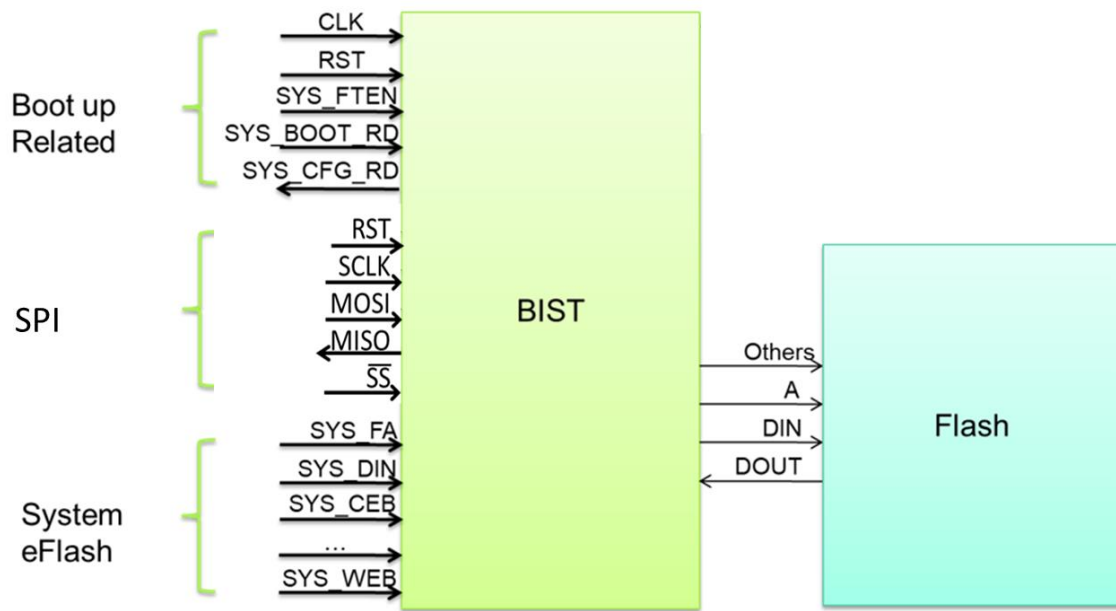
圖九



圖十



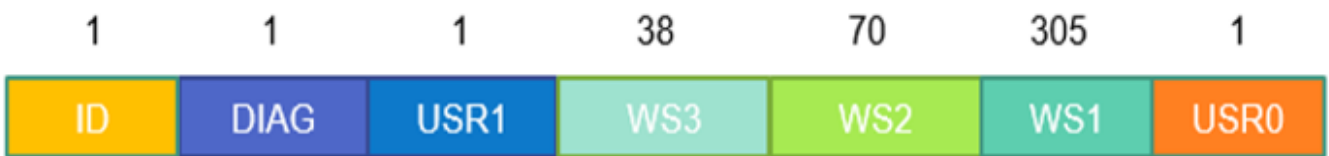
圖十一



圖十二

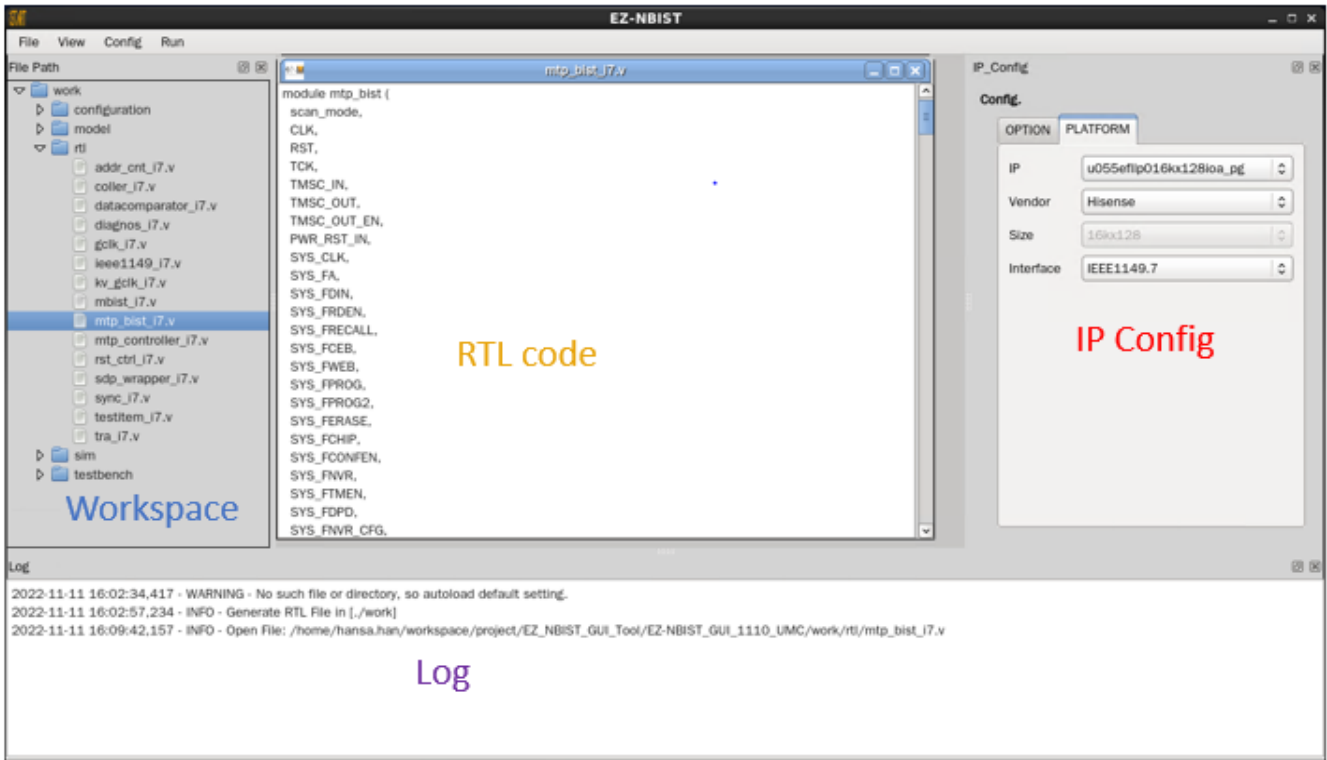
7. EZ-NBIST 的靈活性

EZ-NBIST 支援不同的 eFlash 巨集大小的可配置化 BIST 和 BISR IP，所有的 eFlash 時間參數都可作調整。圖 13 呈現所有可個別啟動或停用的測試項目。



圖十三

EZ-NBIST 可幫助使用者生成完整的綜合 RTL、驗證環境、測試模式、行為模型和客製化的 eFlash 資料庫，如圖 14 所示。



圖十四

若要使用 eFlash 模型執行模擬，使用者可以選擇一個測試模式來生成模擬轉儲檔案。例如：執行「2」來啟動「ws1」測試項目的模擬流程，如圖 15 所示。

```

1  1149          check dr1=10..01, dr2=2, dr3=3, dr4, ten= 1, 0, 1, 1, 0, 0, 1
                check tdo=10' b10_0000_0001 when ir=5
                check tdo=32' hffff_ffff when ir=6
                check clear_ten and ten
2  ws1           check ws1 test item
3  ws2           check ws2 test item
4  ws3           check ws3 test item
5  ws1_trim     check ws1 trim function
6  ws1_repair   check ws1 repair function
7  repair       check ws2 test item, has_fault
8  repair_fail  check ws2 test item, has_fault
9  diagnosis    check ws2 test item, has_fault
10 normal_test  check normal function

```

圖十五

8. 結論

EZ-NBIST 提供 UMC 和 SST 的專業 eFlash BIST/BISR 測試項目。EZ-NBIST 節省了 eFlash 在 ATE 調整參數的時間；SoC 增加的 eFlash BIST 和 BISR 電路面積也在可接受範圍。EZ-NBIST 也是容易操作設定，可讓使用者輕鬆完成 eFlash IP 的測試電路。

作者：芯測科技 韓承諺

受邀「國際積體電路電腦輔助設計 軟體製作競賽」命題

iSTART x IC/CAD
Contest

國際積體電路電腦輔助 設計軟體製作競賽

CAD Contest

國內賽競賽命題

隨著晶片的複雜度與設計難度提升，使 IC 設計須透過電子設計自動化(EDA)工具的輔助，才能設計出低功耗、高效能且低成本的產品。有鑑於此，教育部舉辦 CAD 競賽及其相關活動，藉此提升 EDA 工具領域的發展。專注於記憶體測試與修復解決方案的 EDA 工具與 IP 供應商芯測科技(iSTART-TEK INC.)於今年參與教育部「國際積體電路電腦輔助設計軟體製作競賽(CAD Contest)」之國內賽競賽命題，目前，國際積體電路電腦輔助設計軟體製作競賽(CAD Contest)已是全球 EDA 工具領域最重要的國際賽事之一。本次 CAD 競賽題目之設計理念以「開發無失真資料壓縮演算法與無失真資料還原」為主軸，希望藉由演算法的設計與程式的實作，進而達到記憶體修復資料壓縮的最佳化。參賽者必須在有限時間內以最小化壓縮率與最小化總執行時間為演算法的設計目標，完成壓縮執行檔及解壓縮執行檔，除了要有專業知識與程式實作能力外，同時也考驗參賽者的細心與恆心。芯測科技希望藉此次機會，深耕校園，充分發揮產官學三方合作的效益。

[查看原文](#)

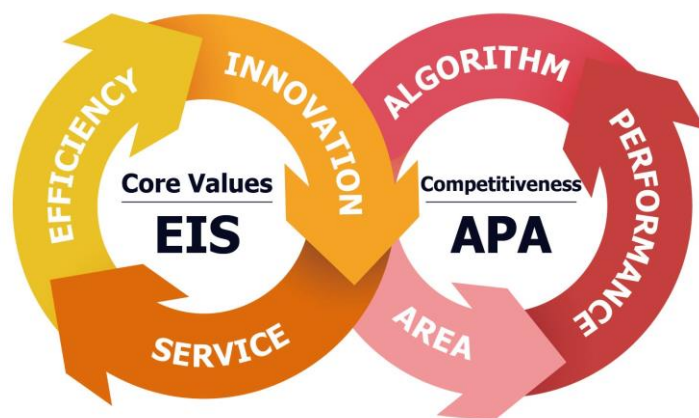
恭喜芯測科技客戶"上海美仁半導體"榮獲 2023 IIC SH 年度最佳 MCU 大獎！



恭喜芯測科技(上海芯復瑞)客戶"上海美仁半導體(美仁芯片)"於 2023 年 3 月 30 日，中國 IC 設計成就獎，頒獎典禮暨中國 IC 領袖峰會(2023 IIC SH)憑藉主控 MCU MR88F001 榮獲熱門 IC 產品類獎項——年度最佳 MCU 大獎！芯測科技與有榮焉。

[查看原文](#)

芯測科技的產品可望為 IC 設計公司提高晶片的競爭力(EIS、APA)



近期傳出 IP(矽智財)大廠 ARM 計劃於 2024 年改變商業模式，將原先以晶片均價的收費方式，調整成按終端產品的平均銷售價格之一定比例進行收費，目前 ARM 的智慧型手機晶片市佔率高達 90%，另外在車用電子晶片、電腦晶片及雲端晶片均有穩定市占率。因此，新的商業模式將會成為 ARM 的營收成長加速器，同時也會影響到晶片的平均成本。

[查看原文](#)

芯測科技企業客戶 – 聯芯通《支持 ISO 15118 Plug & Charge 即插即充，優化電動汽車充電 體驗！》迎向巨大里程



杭州聯芯通半導體有限公司（簡稱聯芯通）是一家智能充電通信晶片設計公司，提供支持 ISO 15118 即插即充的解決方案。該功能可簡化充電流程，充電站將自動識別車輛信息，用戶無需在充電開始前進行手動驗證。

[查看原文](#)