



2022

iReport

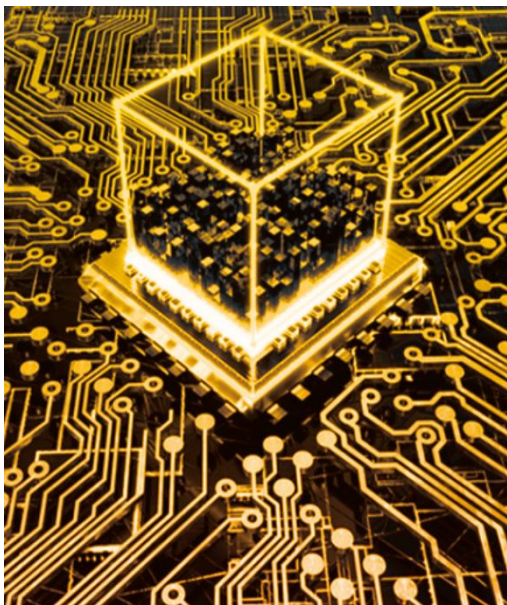
独家供应内存测试与修复解决方案并提供客制化服务



| iSTART-TEK

拥有创新独特且具有专利的内存测试与累加式内存修复的核心技术，并提供即时性的技术支援服务。透过紧密合作，供应完整的解决方案，使客户建构最佳化的内存测试与修复方式。

新闻 News

**[News]** 芯测科技提出快速实现芯片生命周期检测解决方案

随着半导体制程越来越精进，高效能运算（HPC, High Performance Computing）及微控制器（MCU, Micro Controller Unit）等相关芯片，对于静态随机存取内存（SRAM, Static Random Access Memory）的需求与日俱增。针对这一点，芯测科技指出，因为这类芯片都需要使用 SRAM 作为驱动芯片运行的主要程序储存地方。然而，如何在晶圆测试（CP, Chip Probing）时精准找出 SRAM 的缺陷以及如何降低 DPPM 来精准掌控芯片良率，成为 IC 设计公司、芯片开发商关注的重点。所以确保芯片上电后 SRAM 的读写是否正常，成为未来确保芯片使用周期的重要环节。

[Read More +](#)**[News]** 芯测科技在下一城 韩国 ASICLAND 先进制程导入芯测 UDA

深耕于内存测试与修复技术的芯测科技，宣布使用者自定义算法开发平台（UDA, User Defined Algorithm）获得韩国知名设计服务公司 ASICLAND 使用于先进制程的产品上。iSTART™ v3 提供全世界第一套以 GUI（图形化操作介面）为主的使用者自定义算法开发平台 UDA。UDA 可以根据内存缺陷的信息，快速产生「专用的」内存测试算法。还可以设计出复杂度较高的内存测试算法。

[Read More +](#)**[News]** 芯测科技传佳音 EZ-BIST 获华润微采用

深耕于内存测试与修复技术的芯测科技，宣布 EZ-BIST 内存测试电路开发环境获华润微电子有限公司（华润微）采用，作为开发芯片时，内存测试电路设计的关键工具，透过此工具可有效缩短内存测试电路的开发时程。芯测科技位于 IC 设计产业链的上游，提供 EDA 工具与 IP 给 IC 设计公司、设计服务公司、半导体制造商等，藉由「EDA 工具」与「IP」缩短 IC 设计开发时程，提升 SoC 良率。

[Read More +](#)

[News] 芯测科技 EZ-NBIST 带劲 获华润微采用

深耕于内存测试与修复技术的芯测科技的配置化非挥发性内存测试与修复电路开发环境 EZ-NBIST 获华润微电子有限公司（华润微）采用。EZ-NBIST 提供完整的 MTP 测试与修复电路，大幅缩短测试与修复电路的设计流程，并降低测试与修复成本。

EZ-NBIST 是全世界第一套完全以 GUI（图形化操作界面）为主的可配置化非挥发性内存测试与修复电路开发环境，通过 GUI 可以快速产生非挥发性内存的测试与修复电路。

[Read More +](#)**[News] 芯测科技 START™ v3 获得一微采用**

深耕于内存测试与修复技术的芯测科技 iSTART-TEK，宣布内存测试与修复电路开发环境 START™ v3 获得一微电子股份有限公司（得一微）采用，作为得一微开发芯片时，提升良率的关键角色。

随着先进制程持续推进，使芯片迈向低功耗、高效能、面积小的方向发展。由于芯片的功能与复杂度提升，芯片测试的时间与测试成本也随之增加。START™ v3 提供 Hard-Repair 与 Soft-Repair 等高效能内存修复技术，Hard-Repair 需要使用 NVM（非挥发性内存）记录内存错误信息的元件。

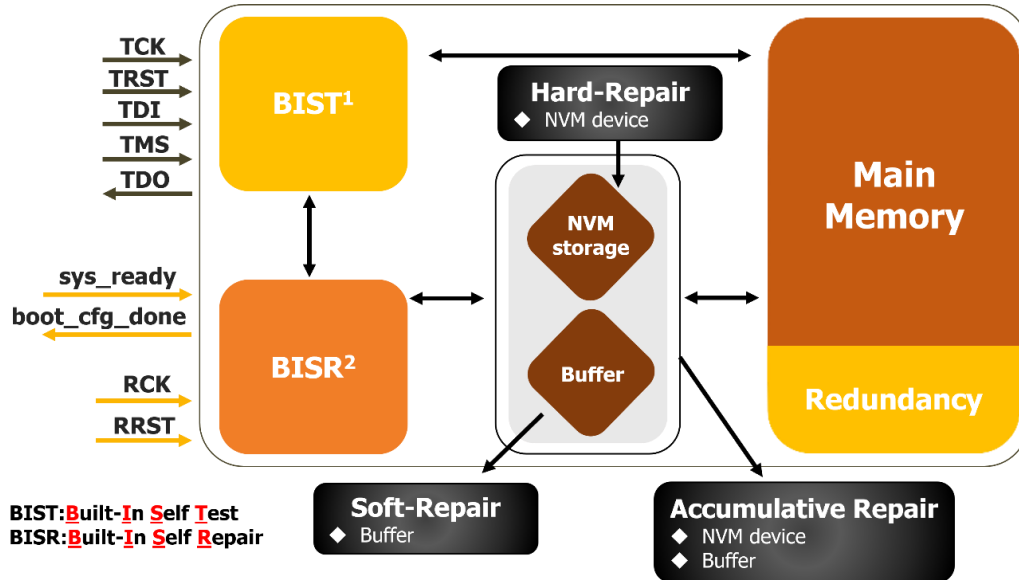
[Read More +](#)**线上研讨会 Webinar****[Webinar] 快速实现芯片生命周期检测电路**

随着半导体制程越来越精进，芯片上电后内存读写是否正常，成为未来确保芯片使用周期的重要环节。芯测科技的 START™ v3 与 EZ-BIST 提供开机自我检测（POT）和精简测试（RT）的功能，让芯片上电后在极短的时间内完成内存测试流程，迅速验证内存读写的正确性，确保芯片的使用周期。

[Read More +](#)

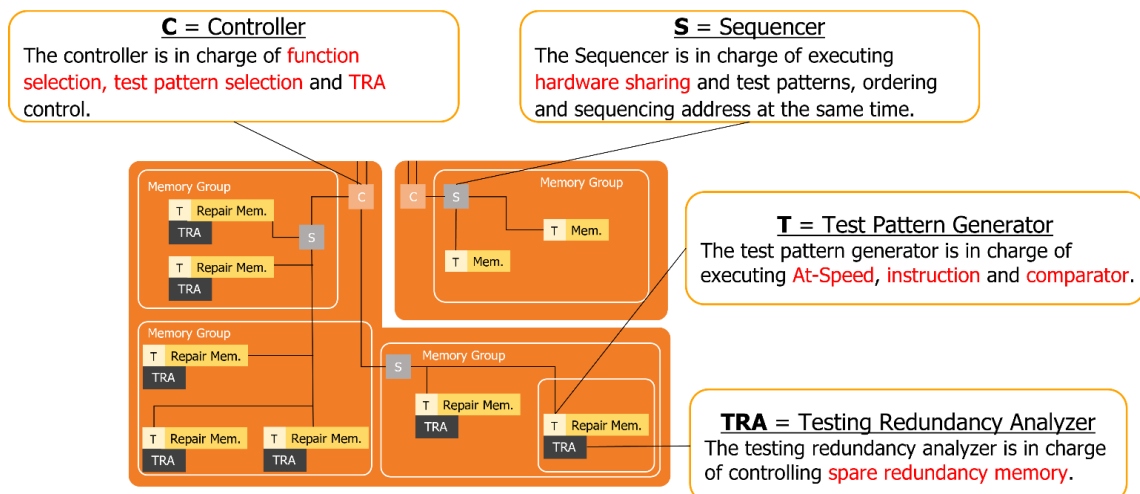
START™ v3 内存测试与修复电路开发环境

START™ v3 (START, SoC's memory Test And Repair Technology) 提供 Hard-Repair 与 Soft-Repair 两种内存修复技术，Hard-Repair 需要使用 NVM 记录内存错误信息的元件，大幅缩短内存修复时间。START™ v3 支援许多非挥发性内存的控制器，方便客户直接使用 Hard-Repair。Soft-Repair 不需要使用 NVM 记录内存缺陷信息的元件，当有足够备援内存时，Soft-Repair 可重复进行内存修复工程。



START™ v3 主架构

- ◆ **控制器 (Controller)**：控制器主导芯片内的所有内存测试与修复指令发送
- ◆ **序列器 (Sequencer)**：序列器自动将芯片内所有内存根据芯片的时脉与内存特性做分群与归类，并将分群与归类的讯息提供给控制器
- ◆ **测试样本产生器 (Test Pattern Generator)**：测试样本产生器执行控制器所送出的测试指令，并针对序列器已做好内存规划进行平行或是序列测试
- ◆ **修复电路分析器 (Test Repair Analyzer)**：修复电路分析器将针对芯片内欲修复或是有备援内存配置的内存进行分类与规划，以便控制器可以发送修复指令给芯片内欲做修复流程的内存



START™ v3 对照于 START™ v2 新增下列功能

START™ v2 vs. START™ v3		
Functions	v2	v3
Repairing function	V	V
BUF (Bottom-up Flow)	V	V
AGC (Auto-Gating Clock)	V	V
ACT (Auto-Clock Tracting)	V	V
POT (Power_On Test)	V	V
DMT (Dynamic Memory Test)	V	V
MCP (Multi-Chain Power Consumption)	V	V
PCA (Power Consumption Analysis Mechanism)	V	V
MGD (Memory Group By Defintion)		V
MPM (Memory Protection Mechanism)		V
ECC (Error-Correcting-Code)		V
UDA (User Defined Algorithm)		V
POT(Power_On Test)+RT(Reduced Test)		V
ATE Test Pattern Automation		V
Diagnosis Enhancement		V

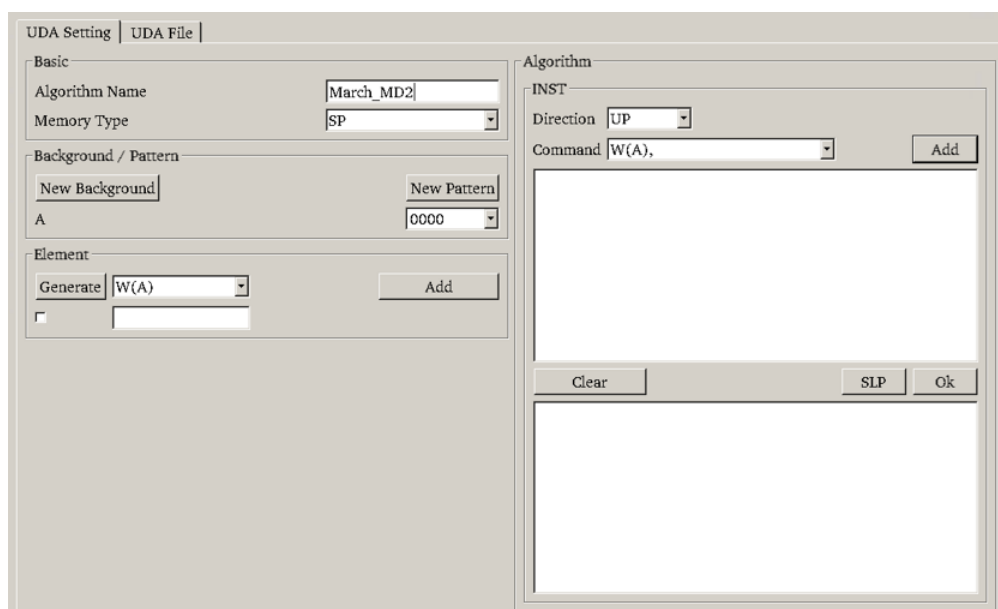
START™ v3 新功能介绍

- ◆ **根据版图档案进行内存分群微架构 (MGD, Memory Group By Defintion)**：让程序设计者根据版图信息，进行内存分群机制，缩短内存测试电路绕线过长而衍生的问题。
- ◆ **内存资讯保护机制微架构 (MPM, Memory Protection Mechanism)**：保护重要内存的数据不被盗取，程序设计者可以在程序设计时，于内存数据输出的端口加入密码，当测试端要对该内存的数据进行输出时，必须先输入密码，待密码验证通过后，才可以在测试阶段，得到该内存输出的数据。
- ◆ **错误更正码 (ECC, Error-Correcting-Code)**：START™ v3是全世界第一套支持ECC功能的内存测试与修复电路开发环境。为了满足车用电子的规范，ECC让车用电子芯片在系统运行时，进行内存错误更正的行为。
- ◆ **上电后测试微架构 (POT, Power_On Test) + 精简测试微架构 (RT, Reduced Test)**：让芯片上电后，在极短的时间内进行内存测试流程，迅速验证内存读写的正确性，确保芯片的使用周期。
- ◆ **内存测试向量自动转换与内存测试后诊断分析自动转换微架构 (ATE Test Pattern Automation)**：全世界第一个客制诊断自动化分析 EDA 工具。芯片开发商在 RTL 的模拟阶段，透过设定仿真测试样本产生 ATE 接受的格式，即可自动生成 ATE 支持的测试向量。协助芯片开发商将内存测试后的报告进行 ATE 测试报告的自动分析，使芯片开发商了解内存错误的位置与错误的原因，进行快速修正错误，有效提升整体芯片的开发时间。

使用者自定义算法开发平台 UDA

全世界第一套完全以 GUI (图形化操作介面) 为主的 UDA (User Defined Algorithm)，将内存测试算法以元件 (Component) 的形式表达，利用元件间的「重新排列组合」，形成新的内存测试算法，任何内存测试算法都可以利用 UDA 在几分钟内产生出来，大幅缩短开发内存测试算法的时间。并根据内存缺陷的信息，快速产生「专用的」内存测试算法。此外，UDA 还可设计出复杂度较高且电路面积相当精简的内存测试算法。搭配 EDA 工具 START™ v3 和 EZ-BIST 内建的内存测试算法一起使用，可使内存测试算法的设计变得更具弹性化且多元化。

UDA 支援 GUI

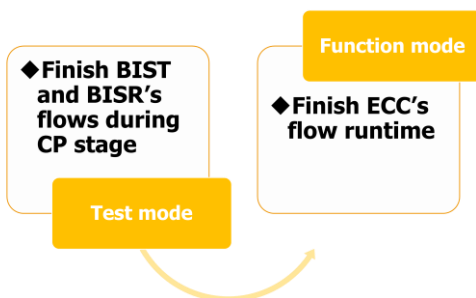


UDA 以元件的形式表达

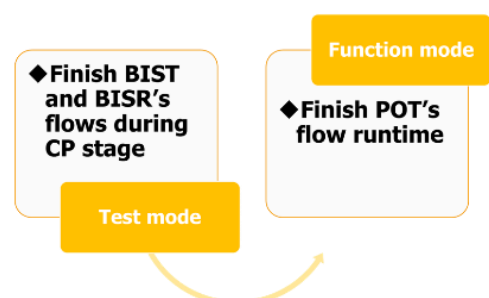
Syntax	Function
UP	Address由0开始往上数
DN	Address由最大值开始往下数
ADD_INC	由UP或DN来决定Address+1或Address-1
N	不做任何读写的行为
R(A)	Read memory data，括号的部分为Read的pattern A
W(A)	Write memory data，括号的部分为Write的pattern A
S	Testing Sleeping
,	区隔不同的operation
;	完成当下的element

车用电子芯片内存测试与修复解决方案

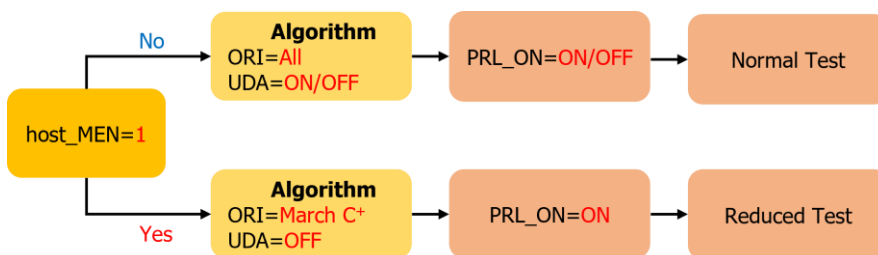
- ◆ **BIST & BISR + ECC** : START™ v3 提供 BIST 和 BISR，让芯片开发商在 CP 阶段时，透过 START™ v3 内建的测试算法，把内存缺陷的 Die 检测出来，有效降低 DPPM (百万个产品中的不良率)，并透过 ECC 功能，让车用电子芯片在系统运行中，进行内存错误更正的行为，如图一。
- ◆ **BIST & BISR + POT + RT** : START™ v3 除了提供 BIST 和 BISR 在 CP 阶段外，也支持 POT (上电后测试微架构) 和 RT (精简测试微架构)。RT 主要负责芯片上电后执行 March C+ 算法，缩短芯片上电后的内存测试时间，同时确认内存读写的正确性，如图二、三。
- ◆ **BIST & BISR + POT + UDA** : START™ v3 除了提供 BIST 和 BISR 在 CP 阶段外，也支持 POT (上电后测试微架构) 和 UDA (使用者自定义算法开发平台)。让芯片开发商根据芯片使用的特性，在芯片上电后执行采用 UDA 的定制化内存测试算法，精准检测出有内存缺陷的车用电子芯片，提高行车安全。
- ◆ **BIST & BISR + POT + Repair** : START™ v3 除了提供 BIST 和 BISR 在 CP 阶段外，也支持 POT (上电后测试微架构) 和 Repair (修复)。当车用电子芯片内的内存缺陷范围过大，透过 START™ v3 的内存修复技术，可以在芯片上电后进行内存测试，并根据内存缺陷位置进行大范围的内存修复，延长车用电子芯片的使用寿命并增加行车安全。



图一



图二



图三



技术论坛



iSTART

2022第一届技术论坛

掌握芯动脉
迎向测试新未来

START™ v3

多项好礼
等您来参加

200
Starbucks

现场提供名片
就有机会抽中
神秘大礼

活动详情

本次技术论坛有丰富的报到礼与问卷礼让您带回家！

新竹喜來登

活动日期: 2022-09-08

活动时间: 14:00~17:00

新竹丰邑喜来登大饭店 4 楼西馆小宴会厅
提供「实体」与「线上直播」两种方式

免费报名

上海长荣

活动日期: 2022-09-28

活动时间: 10:30~16:00

上海长荣桂冠酒店2楼曼格纳厅
提供「实体」与「线上直播」两种方式

免费报名

Social media



Website



WeChat



Weibo