

iSTART

November 2025

iSTART iReport

芯測科技電子報第 13 期

iSTART

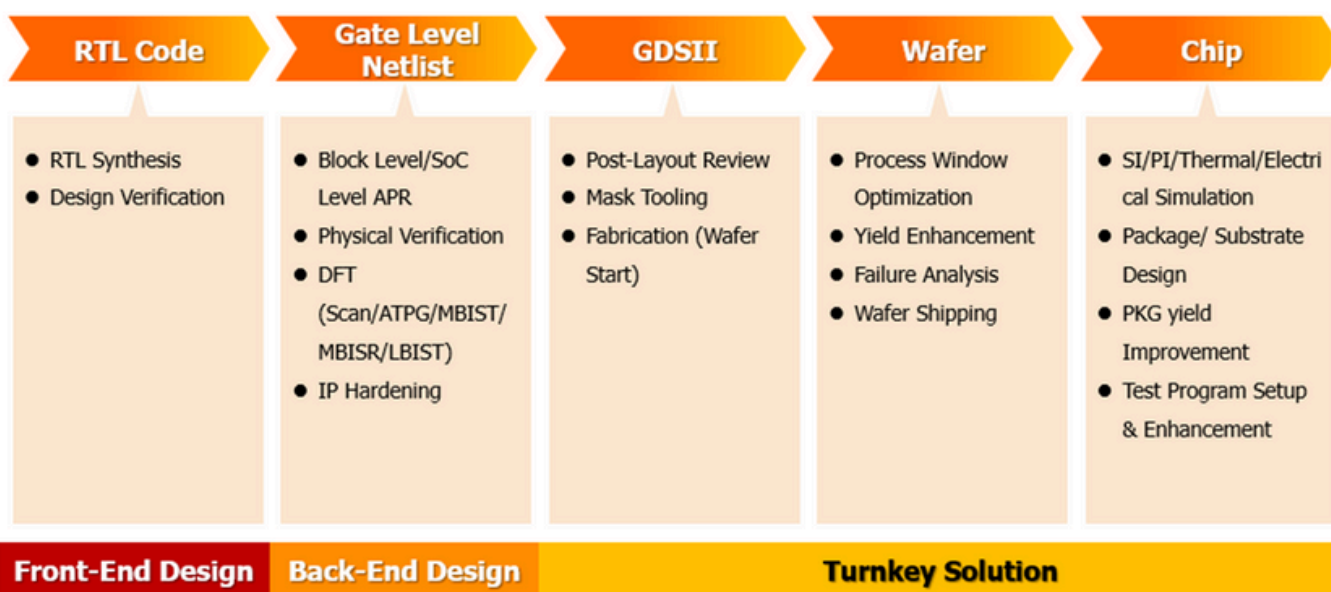
EFFICIENCY
INNOVATION
SERVICE

芯測再創佳績！助晶片設計公司完成 55nm eFlash 晶片設計驗證與量產交付

芯測科技宣布成功協助中國知名晶片設計公司，完成其 55nm eFlash 製程的晶片設計專案。此專案涵蓋從前端 IP 評估、eFlash BIST IP 設計，到後端佈局繞線 (APR) 與 Turnkey 流片全流程服務，展現了芯測科技在設計服務與製程整合的全方位能力。

該公司為中國知名晶片設計公司，聚焦汽車、工業等安全關鍵領域，以高安全等級 MCU 晶片為核心。在本次合作中，芯測科技透過自主開發的 eFlash BIST IP，協助客戶實現高測試覆蓋率與滿足製程需求的記憶體測試方案，並結合完整的 IC 設計服務平台，從設計驗證、實體設計到量產導入，提供一站式交付能力，讓客戶能專注於晶片架構與系統應用的創新。

The Design Service Solution iSTART-TEK Offers

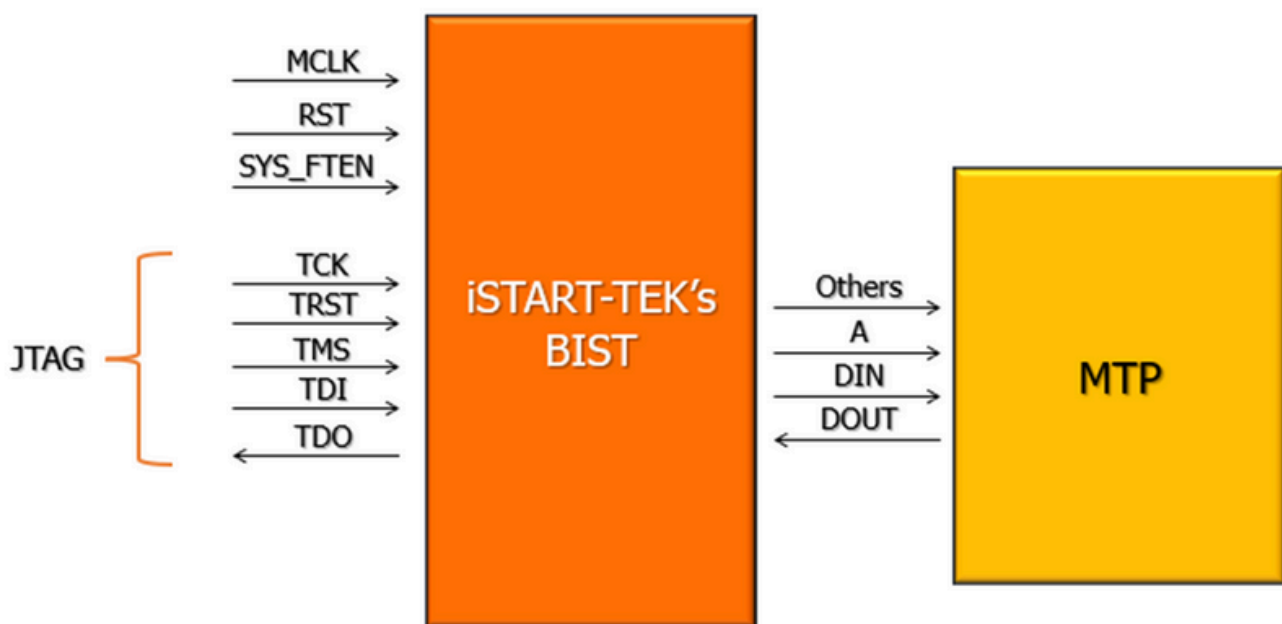


芯測科技表示，此次合作案不僅證明其在 eFlash 製程與 BIST 技術領域的成熟實力，也進一步鞏固了公司在高可靠晶片設計服務市場的地位。未來，芯測將持續深耕記憶體測試與修復技術，並拓展更多製程節點與應用領域，協助更多客戶加速實現量產上市。

芯測科技與國內知名記憶體廠成功驗證 MTP BIST IP

芯測科技宣布，其自主開發的 MTP (Multiple-Time Programmable) BIST IP 已與國內知名記憶體廠成功完成驗證，並通過實體測試晶片的功能驗證。此次驗證成果顯示，芯測的 MTP BIST IP 具備高穩定性與靈活整合能力，未來將廣泛應用於各類消費性電子產品中。

本次驗證採用 0.18 微米邏輯製程 (1.8V/5V)，測試晶片內含 16Kx16 主區塊及 64x16x2 資訊區塊，共計 87 組 I/O 腳位。MTP BIST IP 以 JTAG 五線介面於 ATE 平台進行測試，支援製程端的 CP1 / CP2 測試流程，可有效檢測 MTP 記憶體單元潛在缺陷。當測試過程中 TF 腳位輸出為 1' b1 時，即可快速判定測試失敗，協助工程師即時掌握良率狀況。



在系統整合層面上，MTP BIST IP 可調整測試流程參數，靈活配合不同 SoC 設計需求，同時能大幅縮短 ATE 測試時間並降低測試負載。由於 MTP 本身具備面積小、功耗低的優勢，搭配芯測科技的 BIST IP，可讓客戶更輕鬆地於 SoC 設計階段完成完整的記憶體測試驗證，提升產品品質與量產效率。

芯測科技表示，除了本次通過驗證的 MTP BIST IP 外，公司完整的 NVM BIST IP 產品線，包含 eFlash BIST IP，也已陸續在車用晶片與消費性晶片平台中完成驗證，預計自明 (2026) 年起將正式開始為公司帶來權利金收益，持續拓展在非揮發性記憶體測試領域的市場版圖。

芯測 EDA 產品全面支援 IEEE 1838 引領 3D IC 記憶體測試新里程碑



芯測科技宣布，其記憶體測試方案全面支援 IEEE 1838 標準介面，協助客戶加速 3D IC 的測試與驗證流程。

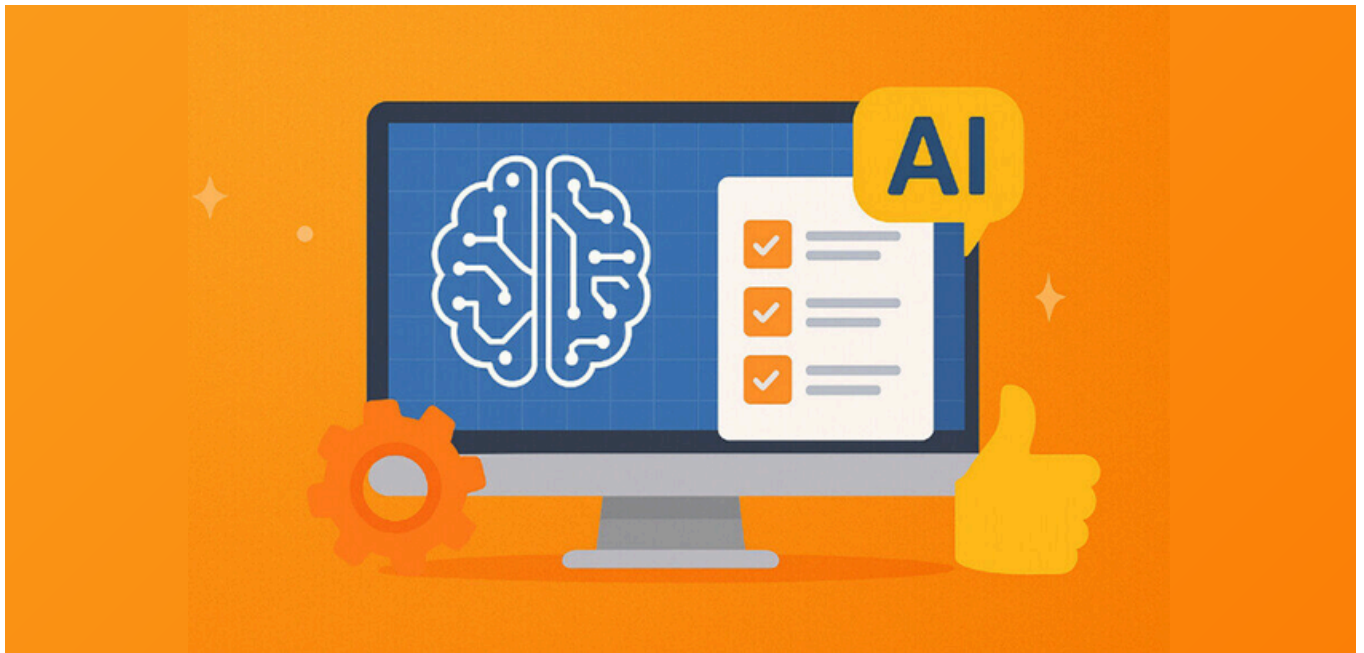
3D IC 帶來更高的效能與密度，但同時也推升了記憶體測試的難度與品質要求。為解決這些挑戰，IEEE 1838 標準建立了完整的測試機制；而芯測更搶先完成此介面在記憶體測試上的實務部署。

芯測的解決方案能在每個裸晶 (die) 中獨立產生 MBIST (Memory Built-In Self-Test) 電路，並透過標準化接口，整合至統一測試架構的共享 I/O ports，即可對所有裸晶進行測試。

此介面支援同時進行多顆裸晶測試，也可以單獨測試每一個裸晶中的記憶體，不僅顯著降低設計複雜度，也幫助客戶提高測試驗證的靈活度。更重要的是，這樣的架構能有效提升測試覆蓋率，確保晶片在功能與可靠性上的高水準表現。

芯測表示，隨著 3D IC 應用快速成長，可靠的測試解決方案是確保市場競爭力的關鍵。其產品支援 IEEE 1838，不但大幅簡化 3D 晶片在設計與量產階段的測試挑戰，還可降低測試風險，並為高效能運算、AI 與車用電子等領域提供更高品質的晶片。

芯測推出業界創舉：AI 推薦量身打造的 MBIST 演算法



芯測科技宣布推出業界首創的全新技术——MBIST 檢測演算法推薦工具 (MBIST Algorithm Recommendation Tool, MART)，將AI技術導入原有的 UDA (User-Defined Algorithm) (使用者自定義演算法) 功能。使用者只需回答簡單的互動式問題，即可快速獲得量身建議的 MBIST (Memory Built-In Self-Test) 演算法，並自動生成最佳化的 BFL 設定檔，直接應用於設計與測試流程，讓測試效率與準確度拉高一個層級。

傳統上，工程師在制定測試方案時，通常只是單純的規則比對，缺乏彈性；同時必須依靠繁瑣的表格查詢與經驗判斷，才能挑選適合的測試演算法。但隨著製程技術節點不斷演進、應用場景多元化，以及日趨嚴格的品質和交期要求，傳統方法已難以兼顧速度與精準。

因應此挑戰，芯測科技特別導入 AI 權重的概念，讓每種條件 (例如功耗、面積、良率) 都被賦予一個權重值，AI 會根據過往案例與內建知識庫，動態調整這些權重。最後的演算法推薦結果，不只是「條件符合」，而是在多個條件下加權排序後的最佳解。

這個工具的核心價值包括：

- 降低決策成本：不用再逐一查表，AI 會根據條件自動加權分析。
- 智慧化推薦：讓 BIST 演算法的選擇更貼近客戶的實際需求。
- 彈性與可控性：客戶仍然能依需求做最終調整，兼顧智慧化與人工經驗。

透過 AI 權重的導入，不僅能提升 BIST 測試的效率，也能幫助客戶在設計與量產中，達到更佳品質與效能平衡。同時也大幅縮短前期決策時間，並降低 DPPM (每百萬顆中不良品數)。

芯測科技表示，未來將持續擴展 MART 的應用範疇，不僅涵蓋更多 SRAM 測試模式，也將延伸至邏輯測試、MBISR (Memory Built-In Self-Repair) 以及晶片端可靠度分析器，打造一個完整的智慧化 DFT (Design for Test) 生態系。

iSTART

芯測科技完成 FMEDA 分析 助客戶打造符合 ISO 26262 的車用 IC

為因應車用半導體日益嚴格的功能安全標準，芯測科技主動執行 EDA 工具的 FMEDA (Failure Modes, Effects and Diagnostic Analysis，失效模式、影響與診斷分析)，支援 ISO 26262 標準流程，協助客戶的設計團隊在早期階段識別潛在風險，強化設計的安全性與合規性。

ISO 26262 是針對車輛電子電氣系統制定的國際功能安全標準，涵蓋硬體、軟體與系統層級的開發流程。對於開發先進駕駛輔助系統 (ADAS)、電動車控制器 (ECU)、電池管理系統 (BMS) 等車用晶片的設計公司而言，如何在設計初期便執行系統性風險分析，是達成 ASIL (Automotive Safety Integrity Level) 要求的關鍵。

芯測科技觀察到，許多車用 IC 設計公司在導入 ISO 26262 流程時，缺乏工具層級的支援，使功能安全分析成為流程瓶頸。為了幫助客戶成功生產出符合規範的產品、加速上市流程，芯測科技決定導入 FMEDA 工具。這項進展的優點包括：

1. EDA 工具可用於開發符合 ISO 26262 的產品，幫助客戶完成符合功能安全要求的開發流程。
2. 客戶可以參考 iSTART-TEK FMEDA 分析結果來生成可靠的 FMEA 報告，不必從頭製作，大幅減少安全評估文件製作時間。
3. EDA 工具若支援 FMEDA 分析，是實現 ASIL B/C/D 系統的關鍵分析依據，提升工具附加價值。
4. 在 EDA 工具市場中，與未通過安全評估的工具區隔開來，展現差異化的競爭優勢。

藉由將 FMEDA 導入 EDA 工具，芯測科技不僅協助客戶加速 ISO 26262 流程，更進一步提升車用 IC 設計的可靠性。這項前瞻性策略，將幫助設計團隊突破功能安全瓶頸，實現 ASIL 認證，並打造符合最高安全標準的車用晶片。

芯測科技成功入圍

2025亞洲金選獎 (EE Times Asia Awards) – 產品獎！

芯測科技自主研發的EDA工具——START™ v5 (SRAM 測試與修復解決方案)成功入圍 2025 亞洲金選獎 (EE Awards Asia) EDA 產品類獎項，與亞洲各地半導體與電子設計企業同場角逐，展現台灣 EDA 技術在國際舞台上的創新實力與影響力。亞洲金選獎由 EE Times Asia 與 EDN Asia 聯合主辦，是亞太地區最具指標性的電子產業評選活動之一。該獎項由專業評審與工程師票選共同決定，表彰在電子設計、半導體技術與應用創新領域表現卓越的企業與產品。

芯測科技的 UDA 平台採用其專利技術「用於產生記憶體自我測試演算法電路之方法 (METHOD FOR GENERATING A MEMORY BUILT-IN SELF-TEST ALGORITHM CIRCUIT)」，成功突破傳統記憶體測試的限制。現有的記憶體測試演算法往往存在重複測試行為，不僅耗時，也增加製造成本。UDA 平台以模組化架構為核心，讓工程師能自由編輯測試元素，刪除重複項目、客製化測試流程，並針對不同製程與記憶體架構設計出最適化的測試策略，大幅縮短測試時間並降低 DPPM。這項技術不僅提升測試覆蓋率與晶片良率，更為先進製程下的記憶體缺陷偵測提供了高彈性且可擴展的解決方案。

自 2022 年取得台灣專利後，該技術更於 2023 年 10 月成功取得美國專利，象徵芯測科技在全球記憶體測試技術領域的創新突破與研發實力獲得國際肯定，也讓芯測更有信心幫助客戶解決記憶體測試的疑難雜症、提高設計和生產效率。

認識 USB Type-C：現代電子產品的通用介面



USB Type-C 已成為現代電子產品的標配，無論是手機、筆電、車用系統，甚至醫療與工控設備，都能看到它的身影。它不僅是個可正反插的接頭形狀，還同時是一套完整的介面與通訊標準，支援高速傳輸與高功率充電，更能整合影音輸出與資料交換。它的出現，不僅簡化了產品設計，更加速了電子設備之間的整合與通用化。

USB Type-C 的特點

1. 正反可插的設計

Type-C 的接頭採用對稱結構，無論正插或反插都能正常使用，提升使用便利性與耐用度。

2. 高速傳輸與高功率供電

支援 USB 3.2、USB4 甚至 Thunderbolt 4 等規格，資料傳輸速率最高可達 40 Gbps；同時透過 USB Power Delivery (PD) 協定，可支援最高 240W 的供電能力，一條線即可完成充電與資料傳輸。

3. 多功能整合

除了傳輸資料與電力，Type-C 還能透過 DisplayPort Alt Mode 或 HDMI Alt Mode 輸出影音訊號，讓筆電或平板直接外接顯示器、投影機或攝影設備。

下表概述 USB Type-C 的應用範圍和主要功能。

應用領域	應用範例	關鍵功能
智慧型手機、筆電	手機充電與資料傳輸、筆電單孔充電、連接擴充基座 (Docking Station)、外接顯示器	高功率充電 (PD)、高速資料傳輸、視訊輸出 (DP Alt Mode)
汽車 (車規)	車載資訊娛樂系統 (Infotainment)、車內充電埠、數位儀表板的介面	高可靠度、電源與資料整合、符合 AEC-Q100 等車規標準
醫療設備、工控	醫療影像設備、工業電腦 (IPC)、人機介面 (HMI)	高穩定性、高可靠度，避免系統故障造成風險
其他	顯示器、擴充硬碟、印表機、家用遊戲機、甚至無線吸塵器和電動工具	單一纜線解決所有充電與傳輸需求，成為通用連接標準

Type-C 對車用與工控應用的重要性

在車用電子與醫療、工控領域中，元件必須在高溫、振動或長期運轉的環境下仍保持穩定。因此 Type-C 介面若要應用於車規產品，必須符合 AEC-Q100 或 IATF 16949 等嚴格標準，確保可靠性與安全性。

例如，車內的 Type-C 充電埠看似普通，但它需承受長時間插拔、車內高溫與電壓波動，同時確保不影響車載系統的通訊穩定性。這些都仰賴嚴謹的電子設計與測試驗證。

芯測科技如何協助 Type-C 相關晶片測試

USB Type-C 相關晶片 (例如電源控制 IC、介面橋接 IC、信號切換 IC) 都必須通過嚴格的電氣與可靠度測試。芯測科技 (iSTART-TEK) 針對這類高速介面與電源管理晶片，提供完整的 MBIST、eFlash BIST 與車規測試解決方案，協助客戶確保晶片在高速傳輸與高功率應用下仍具備穩定可靠的表現。

延伸閱讀：[MBIST 與 MBISR 如何守護 USB Type-C 控制晶片](#)

MBIST 與 MBISR 如何守護 USB Type-C 控制晶片

USB Type-C 介面以高整合、高傳輸速度與雙向供電特性，迅速成為各類電子產品的主流標準。隨著應用橫跨消費性電子、工控設備、車載系統與醫療裝置，控制晶片的可靠度與可測試性要求也同步升級。

芯測科技長期深耕記憶體測試與修復技術，本集將深入解析 MBIST (內建自我測試) 與 MBISR (內建自我修復) 在 USB Type-C 控制晶片設計中的重要角色。透過內建測試架構，設計團隊可在晶片階段即快速驗證記憶體品質，並在量產階段透過自動修復機制提升良率與穩定度。

芯測科技提供可靈活配置的 UDA (使用者自定義平臺) 與 TEC (測試演算法整合控制技術)，協助客戶依產品特性調整測試結構與演算法參數，達成效能、成本與可靠度間的最佳平衡。從 IP 層級支援到 SoC 整合驗證，芯測完整的測試解決方案已廣泛應用於多家 USB 控制晶片設計公司，助力客戶快速達成 AEC-Q100 車規標準，並穩定推進量產上市。

[▶ 觀看完整影片](#)

Networking ASIC 與 SRAM 測試修復

在網通晶片中，大量 SRAM 承擔著封包緩衝、排程表與流表等關鍵任務，但同時也容易受製程變異影響，導致良率與可靠性挑戰。

為了確保產品穩定，常見方法是先以 Memory BIST 快速檢測各類失效模式 (如 Retention、Write Disturb)，再透過 Memory BISR 執行修復，利用備援記憶體單元隔離或替換故障，避免整顆晶片報廢。進一步結合 Logic BIST 與 On-chip Repair Analyzer，則能讓檢測、判斷、修復無縫整合，並支援量產及後續 OTA 測試。

此技術已廣泛應用於：

- Wi-Fi 7 SoC
- Ethernet Switch IC
- SerDes / PCIe PHY
- 5G Modem ASIC

透過 BIST + BISR 的協同機制，Networking ASIC 能降低 DPPM、延長壽命，並滿足企業級與車規級設備對高可靠度的需求。

[!\[\]\(ef57557257cbb5c674d51a9e0a98bb4d_img.jpg\) 觀看完整影片](#)

藍牙晶片為什麼也需要 SRAM 測試演算法？

藍牙晶片雖小、功耗低，卻內建多區塊 SRAM，負責儲存封包、通訊緩衝與控制資訊。這些 SRAM 的穩定性，直接影響晶片的通訊品質與系統功能。SRAM 測試之所以重要，主要原因包括：

- 內嵌 SRAM 是關鍵元件
- 封裝測試階段需驗證良率
- 電源與製程變異敏感
- SRAM 位於低功耗區塊 (Low Power Island)

iSTART-TEK 專為 BLE 晶片打造的 SRAM 測試方案

為因應這些挑戰，iSTART-TEK 提出專為低功耗藍牙晶片設計的測試與修復策略：

- Retention-aware March
- Pattern Generator + Fault Simulator
- Built-in Repair Logic

應用場景延伸

- 穿戴式裝置 (如智慧手環)：高需求，因空間限制導致更高整合度，任何微小失效皆有風險。
- 車用藍牙模組：需符合 AEC-Q100，對 SRAM 測試與可靠性有明確要求。
- 物聯網感測器：運行時間長、功耗要求高，Retention Fault 檢測尤其重要。

BLE 晶片體積雖小，對 SRAM 的穩定性要求卻非常高。從設計階段導入進階測試與修復機制，不僅能提升良率，更能強化終端產品的使用體驗與可靠性。

[▶ 觀看完整影片](#)

從耳機到車用 SoC：音訊應用的 SRAM 修復實務

在音訊晶片設計中，SRAM 是資料緩衝區的核心元件，負責儲存音訊處理過程中的中介資料，例如濾波器狀態、FFT 資料、回音參數等。一旦 SRAM 發生缺陷，可能會導致破音、雜訊，甚至造成系統當機。因此，無論是耳機、助聽器，還是語音控制裝置，越來越多的音訊產品開始導入 SRAM 修復技術，確保使用體驗與產品穩定性。

為什麼音訊晶片需要 SRAM 修復？

- **避免音訊異常與當機**

SRAM 出錯將直接影響聲音輸出品質，輕則破音，重則導致整機重啟或失效。
- **因應製程微縮帶來的缺陷風險**

進入 28nm 以下先進製程節點後，SRAM 缺陷比例提高，良率挑戰變大，即使是消費性晶片也需具備修復能力。
- **強化低功耗裝置的資料保持能力**

音訊晶片經常進入睡眠模式或斷電重啟，若 SRAM 無法正確保留資料，將產生所謂的 Retention 問題，影響裝置正常啟動。
- **提升整體晶片良率與出貨穩定性**

導入修復技術後，即使 SRAM 有少量缺陷，也可透過替換機制避免整片晶片報廢，提升整批晶圓的有效晶片數。

常見應用場景

- **TWS 無線耳機晶片**

利用簡易修復方式，防止出貨後出現異音與死機問題。
- **助聽器晶片**

因需頻繁進入低功耗模式，特別重視 SRAM 的 Retention 修復與測試。
- **車用音訊 SoC**

為達到車規可靠性標準，如 AEC-Q100，需導入完整修復與容錯機制。

修復技術導入建議

不同類型的音訊晶片，對 SRAM 修復技術的需求也不盡相同：

- **一般消費性音訊 IC**：可透過基礎冗餘技術提升穩定性與良率。
- **車用音訊晶片**：建議搭配多重容錯與錯誤修正技術，提高可靠性。
- **低功耗可攜裝置**：導入具備 Retention 檢測與修復能力的解決方案。
- **語音 AI 晶片**：推薦整合自我測試與動態修復，因應高速與複雜運算需求。

透過適當的 SRAM 修復技術，不僅能有效提升音訊晶片的產品良率與出貨穩定性，更能強化整體系統的使用者體驗與可靠性，是面對先進製程與市場競爭的重要關鍵。

 [觀看完整影片](#)

iSTART

音訊處理與 SRAM 測試演算法的關聯性

在高度仰賴即時性與資料準確性的音訊應用場景中，記憶體穩定性正逐漸成為設計與測試階段不可忽視的一環。

音訊處理與 SRAM 測試演算法之間的關聯，說明為何即使並非傳統高可靠性領域，音訊系統對 SRAM 的要求亦同樣嚴格，甚至在某些條件下更具挑戰性。

本集內容重點：

應用背景與技術需求

- 音訊系統中常見的降噪、解碼、回音消除等功能，皆仰賴 SRAM 進行高速資料暫存與運算。
- 高頻率且連續的資料讀寫模式，暴露了 SRAM 在 Retention 與連續存取下的潛在風險。
- 行動裝置的工作環境 (如高溫、電壓變動) 亦進一步挑戰 SRAM 的可靠性。

測試演算法對應策略

本集說明針對音訊應用特性的演算法設計方向，包括：

- **Retention-Aware March Test**
插入延遲週期以模擬資料駐留時間，提升 Retention Fault 的檢出能力，適用於低功耗音訊設備 (如耳機、助聽器)。
- **At-Speed March Read-Write**
於操作頻率下模擬真實 Buffer 行為，有效發現高速操作時才顯現的錯誤類型 (如 Transition fault、Coupling fault)。
- **Data Pattern Sensitivity**
採用常見音訊資料模式 (如交錯排列 1010/0101) 進行測試，以提升 Pattern-sensitive fault 的檢測率。

應用啟發與設計建議

- 測試策略需針對高速連續讀寫與資料保留能力進行加強。
- 測試場景應貼近音訊處理實務，例如以「讀多寫少」、「低延遲高頻響應」為依據設計流程。
- 使用者自定義測試演算法平台 UDA (User Defined Algorithm) 具備高度彈性配置能力，可協助工程團隊依應用需求優化測試架構。

[▶ 觀看完整影片](#)

iSTART

車規級別晶片的 SRAM 測試算法三部曲之 使用 UDA+TEC 產生 SRAM 缺陷全覆蓋的演算法

隨著 FinFET、GAA 等半導體先進製程不斷導入，帶來晶片效能提升的同時，也讓 SRAM 的缺陷型態變得越來越複雜，並出現新的形態，包括像 Marginal Fault、Dynamic Fault、甚至是 Soft Error 等，就像病毒的變異一樣。傳統的 March C 測試演算法就像一支「舊款疫苗」，對部分已知缺陷或許有效，但對於這些「病毒變異」卻是力有未逮。

為了因應這樣的挑戰，芯測科技提供了 UDA (User-Defined Algorithm) 這個機制。簡單來說，它就像是一個疫苗研發平台，能夠依據產品的特性和使用情境，組合出客製化的測試演算法。舉個例子，若產品需要在高溫環境下運作，而高溫容易導致 Leakage Defect，使用者就可以針對這類缺陷，設計加入特定測試 Pattern 的演算法，就像是針對高風險區域特別施打的疫苗，加強保護。

UDA 與 TEC 的搭配，就像是打造了一套為 SRAM 量身訂製的「全面疫苗計畫」。面對不斷演進的製程與應用需求，只有不斷更新測試演算法，才能防範「新型缺陷」的入侵，確保晶片在車用、AI、航太等關鍵領域的可靠度與品質。

[▶ 觀看完整影片](#)