

iSTART

November 2025

# iSTART iReport

芯测科技电子报第 13 期

iSTART

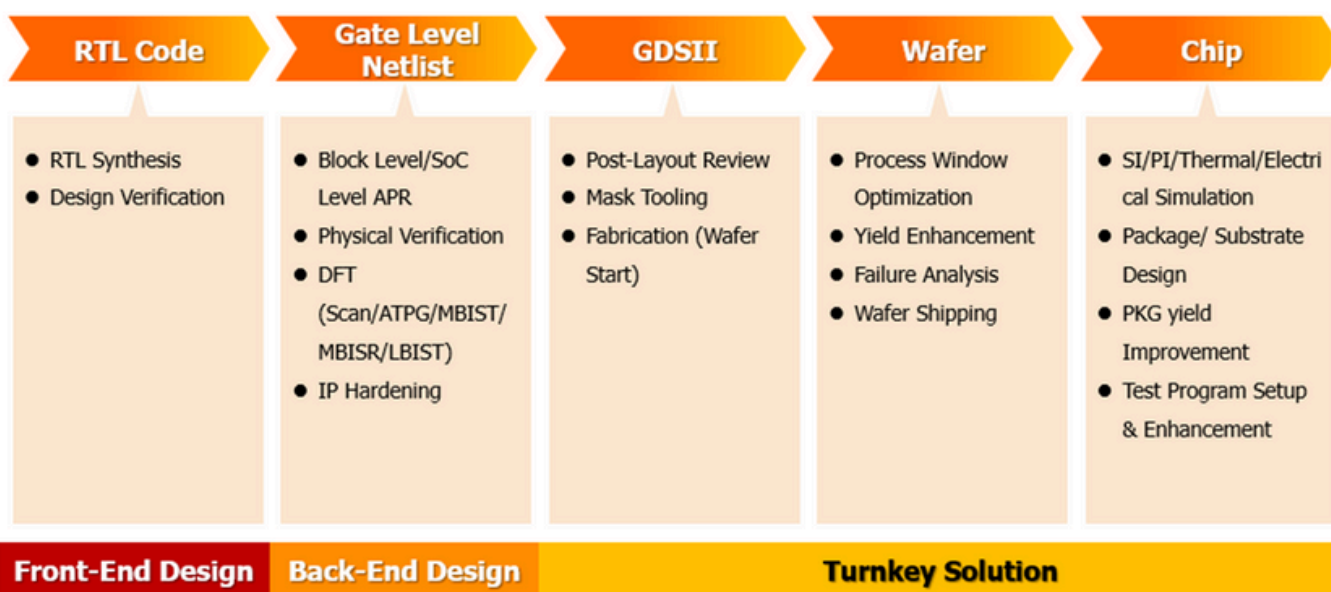
EFFICIENCY  
INNOVATION  
SERVICE

## 芯测再创佳绩！助芯片设计公司完成 55nm eFlash 芯片设计验证与量产交付

芯测科技宣布成功协助中国知名芯片设计公司，完成其 55nm eFlash 制程的芯片设计项目。此项目涵盖从前端 IP 评估、eFlash BIST IP 设计，到后端布局绕线 (APR) 与 Turnkey 流片全流程服务，展现了芯测科技在设计服务与制程整合的全方位能力。

该公司为中国知名芯片设计公司，聚焦汽车、工业等安全关键领域，以高安全等级 MCU 芯片为核心。在本次合作中，芯测科技透过自主开发的 eFlash BIST IP，协助客户实现高测试覆盖率与满足制程需求的内存测试方案，并结合完整的 IC 设计服务平台，从设计验证、实体设计到量产导入，提供一站式交付能力，让客户能专注于芯片架构与系统应用的创新。

### The Design Service Solution iSTART-TEK Offers

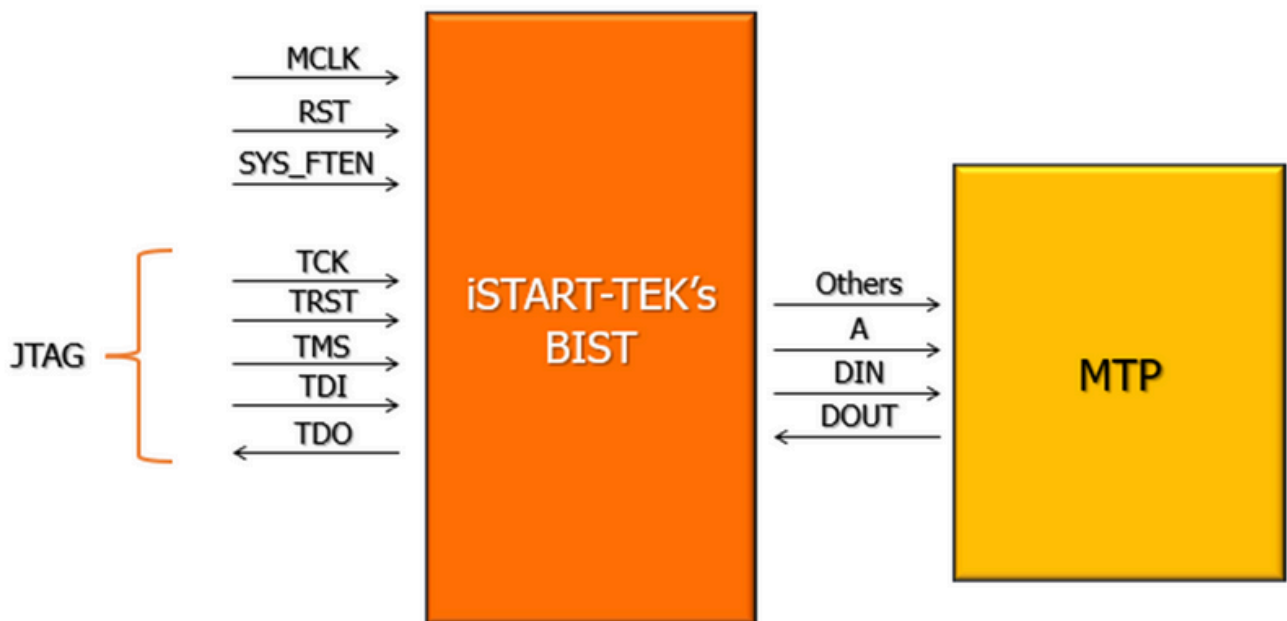


芯测科技表示，此次合作案不仅证明其在 eFlash 制程与 BIST 技术领域的成熟实力，也进一步巩固了公司在高可靠芯片设计服务市场的地位。未来，芯测将持续深耕内存测试与修复技术，并拓展更多制程节点与应用领域，协助更多客户加速实现量产上市。

## 芯测科技与国内知名内存厂成功验证 MTP BIST IP

芯测科技宣布，其自主开发的 MTP (Multiple-Time Programmable) BIST IP 已与国内知名内存厂成功完成验证，并通过实体测试芯片的功能验证。此次验证成果显示，芯测的 MTP BIST IP 具备高稳定性与灵活整合能力，未来将广泛应用于各类消费性电子产品中。

本次验证采用 0.18 微米逻辑制程(1.8V/5V)，测试芯片内含 16Kx16 主区块及 64x16x2 信息区块，共计 87 组 I/O 脚位。MTP BIST IP 以 JTAG 五线接口于 ATE 平台进行测试，支持制程端的 CP1 / CP2 测试流程，可有效检测 MTP 内存单元潜在缺陷。当测试过程中 TF 脚位输出为 1' b1 时，即可快速判定测试失败，协助工程师实时掌握良率状况。



在系统整合层面上，MTP BIST IP 可调整测试流程参数，灵活配合不同 SoC 设计需求，同时能大幅缩短 ATE 测试时间并降低测试负载。由于 MTP 本身具备面积小、功耗低的优势，搭配芯测科技的 BIST IP，可让客户更轻松地在 SoC 设计时间完成完整的内存测试验证，提升产品质量与量产效率。

芯测科技表示，除了本次通过验证的 MTP BIST IP 外，公司完整的 NVM BIST IP 产品线，包含 eFlash BIST IP，也已陆续在车用芯片与消费性芯片平台中完成验证，预计自明年 (2026) 年起将正式开始为公司带来权利金收益，持续拓展在非挥发性内存测试领域的市场版图。

## 芯测 EDA 产品全面支持 IEEE 1838 引领 3D IC 内存测试新里程碑



芯测科技宣布，其内存测试方案全面支持 IEEE 1838 标准接口，协助客户加速 3D IC 的测试与验证流程。

3D IC 带来更高的效能与密度，但同时也推升了内存测试的难度与质量要求。为解决这些挑战，IEEE 1838 标准建立了完整的测试机制；而芯测更抢先完成此接口在内存测试上的实务部署。

芯测的解决方案能在每个裸晶 (die) 中独立产生 MBIST (Memory Built-In Self-Test) 电路，并透过标准化接口，整合至统一测试架构的共享 I/O ports，即可对所有裸晶进行测试。

此接口支持同时进行多颗裸晶测试，也可以单独测试每一个裸晶中的内存，不仅显著降低设计复杂度，也帮助客户提高测试验证的灵活度。更重要的是，这样的架构能有效提升测试覆盖率，确保芯片在功能与可靠性上的高水平表现。

芯测表示，随着 3D IC 应用快速成长，可靠的测试解决方案是确保市场竞争力的关键。其产品支持 IEEE 1838，不但大幅简化 3D 芯片在设计与量产阶段的测试挑战，还可降低测试风险，并为高效能计算、AI 与车用电子等领域提供更高质量的芯片。

## 芯测推出业界创举：AI 推荐量身打造的 MBIST 算法



芯测科技宣布推出业界首创的全新技术——MBIST 检测算法推荐工具 (MBIST Algorithm Recommendation Tool, MART)，将AI技术导入原有的 UDA (User-Defined Algorithm用户自定义算法) 功能。使用者只需回答简单的交互式问题，即可快速获得量身建议的 MBIST (Memory Built-In Self-Test) 算法，并自动生成优化的BFL配置文件，直接应用于设计与测试流程，让测试效率与准确度拉高一个层级。

传统上，工程师在制定测试方案时，通常只是单纯的规则比对，缺乏弹性；同时必须依靠繁琐的表格查询与经验判断，才能挑选适合的测试算法。但随着制程技术节点不断演进、应用场景多元化，以及日趋严格的质量和交期要求，传统方法已难以兼顾速度与精准。

因应此挑战，芯测科技特别导入 AI 权重的概念，让每种条件 (例如功耗、面积、良率) 都被赋予一个权重值，AI 会根据过往案例与内建知识库，动态调整这些权重。最后的算法推荐结果，不只是「条件符合」，而是在多个条件下加权排序后的最佳解。

## 工具的核心价值

- 降低决策成本：不用再逐一查表，AI 会根据条件自动加权分析。
- 智慧化推荐：让 BIST 算法的选择更贴近客户的实际需求。
- 弹性与可控性：客户仍然能依需求做最终调整，兼顾智慧化与人工经验。

透过 AI 权重的导入，不仅能提升 BIST 测试的效率，也能帮助客户在设计与量产中，达到更佳的质量与效能平衡。同时也大幅缩短前期决策时间，并降低 DPPM (每百万颗中不良品数)。

芯测科技表示，未来将持续扩展 MART 的应用范畴，不仅涵盖更多 SRAM 测试模式，也将延伸至逻辑测试、MBISR (Memory Built-In Self-Repair) 以及芯片端可靠度分析器，打造一个完整的智慧化 DFT (Design for Test) 生态系。

iSTART

## 芯测科技完成 FMEDA 分析 助客户打造符合 ISO 26262 的车用 IC

为因应车用半导体日益严格的功能安全标准，芯测科技主动执行 EDA 工具的 FMEDA (Failure Modes, Effects and Diagnostic Analysis，失效模式、影响与诊断分析)，支持 ISO 26262 标准流程，协助客户的设计团队在早期阶段识别潜在风险，强化设计的安全性与合规性。

ISO 26262 是针对车辆电子电气系统制定的国际功能安全标准，涵盖硬件、软件与系统层级的开发流程。对于开发先进驾驶辅助系统 (ADAS)、电动车控制器 (ECU)、电池管理系统 (BMS) 等车用芯片的设计公司而言，如何在设计初期便执行系统性风险分析，是达成 ASIL (Automotive Safety Integrity Level) 要求的关键。

芯测科技观察到，许多车用 IC 设计公司在导入 ISO 26262 流程时，缺乏工具层级的支持，使功能安全分析成为流程瓶颈。为了帮助客户成功生产出符合规范的产品、加速上市流程，芯测科技决定导入 FMEDA 工具。这项进展的优点包括：

1. EDA 工具可用于开发符合 ISO 26262 的产品，帮助客户完成符合功能安全要求的开发流程。
2. 客户可以参考 iSTART-TEK FMEDA 分析结果来生成可靠的 FMEA 报告，不必从头制作，大幅减少安全评估文件制作时间。
3. EDA 工具若支持 FMEDA 分析，是实现 ASIL B/C/D 系统的关键分析依据，提升工具附加价值。
4. 在 EDA 工具市场中，与未通过安全评估的工具区隔开来，展现差异化的竞争优势。

藉由将 FMEDA 导入 EDA 工具，芯测科技不仅协助客户加速 ISO 26262 流程，更进一步提升车用 IC 设计的可靠性。这项前瞻性策略，将帮助设计团队突破功能安全瓶颈，实现 ASIL 认证，并打造符合最高安全标准的车用芯片。

## 芯测科技成功入围

# 2025亚洲金选奖 (EE Times Asia Awards) – 产品奖！

芯测科技自主研发的EDA工具——START™ v5 (SRAM 测试与修复解决方案)成功入围 2025 亚洲金选奖 (EE Awards Asia) EDA 产品类奖项，与亚洲各地半导体与电子设计企业同场角逐，展现台湾 EDA 技术在国际舞台上的创新实力与影响力。亚洲金选奖由 EE Times Asia 与 EDN Asia 联合主办，是亚太地区最具指向性的电子产业评选活动之一。该奖项由专业评审与工程师票选共同决定，表彰在电子设计、半导体技术与应用创新领域表现卓越的企业与产品。

芯测科技的 UDA 平台采用其专利技术「用于产生内存自我测试算法电路之方法 (METHOD FOR GENERATING A MEMORY BUILT-IN SELF-TEST ALGORITHM CIRCUIT)」，成功突破传统内存测试的限制。现有的内存测试算法往往存在重复测试行为，不仅耗时，也增加制造成本。UDA 平台以模块化架构为核心，让工程师能自由编辑测试元素，删除重复项目、客制化测试流程，并针对不同制程与内存架构设计出最适化的测试策略，大幅缩短测试时间并降低 DPPM。这项技术不仅提升测试覆盖率与芯片良率，更为先进制程下的内存缺陷侦测提供了高弹性且可扩展的解决方案。

自 2022 年取得台湾专利后，该技术更于 2023 年 10 月成功取得美国专利，象征芯测科技在全球内存测试技术领域的创新突破与研发实力获得国际肯定，也让芯测更有信心帮助客户解决内存测试的疑难杂症、提高设计和生产效率。

# 芯测科技荣获「可配置化的非挥发性内存测试及修复系统」美国发明专利

芯测科技于近日取得美国发明专利「Configurable Testing and Repair System for Non-Volatile Memory」，展现我们在内存测试与修复技术领域的创新实力。

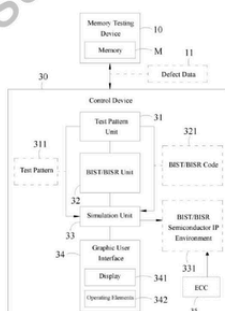
本专利设计了一套可配置的非挥发性内存测试与修复系统，具备自动化测试、诊断与修复功能：

- ✦ 测试装置可判断内存是否需要修复，并进行故障地址与错误数据的诊断
- ✦ 修复装置依据诊断结果进行内存修复
- ✦ 控制装置整合测试与修复流程，提升效率与可靠性

这项专利不仅强化芯测科技在内存测试 IP 市场的技术领先地位，也为客户提供更高品质、弹性化的解决方案！



<b>(12) United States Patent</b>		<b>(10) Patent No.: US 12,308,081 B2</b>
<b>Han</b>		<b>(45) Date of Patent: May 20, 2025</b>
<p>(54) <b>CONFIGURABLE TESTING AND REPAIR SYSTEM FOR NON-VOLATILE MEMORY</b></p> <p>(71) Applicant: iSTART-TEK Inc., Zhubei (TW)</p> <p>(72) Inventor: Cheng-Yen Han, Zhubei (TW)</p> <p>(73) Assignee: iSTART-TEK INC., Zhubei (TW)</p> <p>(* ) Notice: Subject to any disclaimer, the term of this patent is extended or adjusted under 35 U.S.C. 154(b) by 0 days.</p> <p>(21) Appl. No.: 18/428,471</p> <p>(22) Filed: Jan. 31, 2024</p> <p>(65) <b>Prior Publication Data</b> US 2024/0321375 A1 Sep. 26, 2024</p> <p>(30) <b>Foreign Application Priority Data</b> Mar. 25, 2023 (TW) 112202751</p> <p>(51) Int. Cl. G11C 29/12 (2006.01)</p> <p>(52) U.S. Cl. CPC G11C 29/12 (2013.01)</p> <p>(58) <b>Field of Classification Search</b> None See application file for complete search history.</p> <p>(56) <b>References Cited</b> U.S. PATENT DOCUMENTS 7,295,480 B2 * 11/2009 McPartland G11C 29/4401 8,677,306 B1 3/2014 Andreev G06F 11/267 9,640,279 B1 * 5/2017 Poppo G11C 29/4401</p>		
		<p>2006/0031726 A1 * 2/2006 Zappa G11C 29/4401 2011/0113280 A1 * 5/2011 Chickanosky G11C 29/16 2018/0174665 A1 * 6/2018 Kraipak G11C 29/16 2022/0082620 A1 * 3/2022 Ravinarayanan G11C 29/16 2023/0135977 A1 * 5/2023 Kan G11C 29/16</p> <p>(Continued)</p> <p><b>OTHER PUBLICATIONS</b> R. K. Sharma and A. Sood, "Modeling and Simulation of Multi-operation Microcode-Based Built-In Self Test for Memory Fault Detection and Repair," 2010 IEEE Computer Society Annual Symposium on VLSI, Lixouri, Greece, 2010, pp. 381-386, (Year: 2010).*</p> <p>(Continued)</p> <p><b>Primary Examiner</b> — Daniel F. McMahon (74) <b>Attorney, Agent, or Firm</b> — Wang Law Firm, Inc.</p> <p>(57) <b>ABSTRACT</b> A configurable testing and repair system for a non-volatile memory includes: a memory testing device capable of carrying a to-be-tested memory performs a test operation on the to-be-tested memory to determine whether or not the to-be-tested memory is a to-be-repaired memory that needs to be repaired, and performs a diagnostic operation on the to-be-repaired memory, so as to generate defect data including a fault address and a fault data value; a memory repair device capable of carrying the to-be-repaired memory performs a repair operation on the to-be-tested memory according to the defect data; and a control device connected to the memory testing device and the memory repair device controls the memory testing device to perform the test operation and the diagnostic operation, and to control the memory repair device to perform the repair operation.</p> <p><b>10 Claims, 3 Drawing Sheets</b></p>



## 认识 USB Type-C：现代电子产品的通用接口



USB Type-C 已成为现代电子产品的标配，无论是手机、笔电、车用系统，甚至医疗与工控设备，都能看到它的身影。它不仅是个可正反插的接头形状，还同时是一套完整的接口与通信标准，支持高速传输与高功率充电，更能整合影音输出与数据交换。它的出现，不仅简化了产品设计，更加速了电子设备之间的整合与通用化。

### USB Type-C 的特点

#### 1. 正反可插的设计

Type-C 的接头采用对称结构，无论正插或反插都能正常使用，提升使用便利性与耐用度。

#### 2. 高速传输与高功率供电

支持 USB 3.2、USB4 甚至 Thunderbolt 4 等规格，数据传输速率最高可达 40 Gbps；同时透过 USB Power Delivery (PD) 协议，可支持最高 240W 的供电能力，一条线即可完成充电与数据传输。

#### 3. 多功能整合

除了传输数据与电力，Type-C 还能透过 DisplayPort Alt Mode 或 HDMI Alt Mode 输出影音信号，让笔电或平板直接外接显示器、投影机或摄影设备。

下表概述 USB Type-C 的应用范围和主要功能。

应用领域	应用范例	关键功能
智能型手机、 笔电	手机充电与数据传输、笔电单孔充电、连接扩充基座 (Docking Station)、外接显示器	高功率充电 (PD)、高速数据传输、视讯输出 (DP Alt Mode)
汽车 (车规)	车载信息娱乐系统 (Infotainment)、车内充电端口、数字仪表板的接口	高可靠度、电源与数据整合、符合 AEC-Q100 等车规标准
医疗设备、 工控	医疗影像设备、工业计算机 (IPC)、人机接口 (HMI)	高稳定性、高可靠度，避免系统故障造成风险
其他	显示器、扩充硬盘、打印机、家用游戏机、甚至无线吸尘器和电动工具	单一缆线解决所有充电与传输需求，成为通用连接标准

### Type-C 对车用与工控应用的重要性

在车用电子与医疗、工控领域中，组件必须在高温、振动或长期运转的环境下仍保持稳定。因此 Type-C 接口若要应用于车规产品，必须符合 AEC-Q100 或 IATF 16949 等严格标准，确保可靠性与安全性。

例如，车内的 Type-C 充电埠看似普通，但它需承受长时间插拔、车内高温与电压波动，同时确保不影响车载系统的通信稳定性。这些都仰赖严谨的电子设计与测试验证。

### 芯测科技如何协助 Type-C 相关芯片测试

USB Type-C 相关芯片 (例如电源控制 IC、接口桥接 IC、信号切换 IC) 都必须通过严格的电气与可靠度测试。芯测科技 (iSTART-TEK) 针对这类高速接口与电源管理芯片，提供完整的 MBIST、eFlash BIST 与车规测试解决方案，协助客户确保芯片在高速传输与高功率应用下仍具备稳定可靠的表现。

延伸阅读：[MBIST 与 MBISR 如何守护 USB Type-C 控制芯片](#)

## MBIST 与 MBISR 如何守护 USB Type-C 控制芯片

USB Type-C 接口以高整合、高传输速度与双向供电特性，迅速成为各类电子产品的主流标准。随着应用横跨消费性电子、工控设备、车载系统与医疗装置，控制芯片的可靠度与可测试性要求也同步升级。

芯测科技长期深耕内存测试与修复技术，本集将深入解析 **MBIST (内建自我测试)** 与 **MBISR (内建自我修复)** 在 USB Type-C 控制芯片设计中的重要角色。透过内建测试架构，设计团队可在芯片阶段即快速验证内存质量，并在量产阶段透过自动修复机制提升良率与稳定度。

芯测科技提供可灵活配置的 **UDA (用户自定义平台)** 与 **TEC (测试算法整合控制技术)**，协助客户依产品特性调整测试结构与算法参数，达成效能、成本与可靠度间的最佳平衡。从 IP 层级支持到 SoC 整合验证，芯测完整的测试解决方案已广泛应用于多家 USB 控制芯片设计公司，助力客户快速达成 AEC-Q100 车规标准，并稳定推进量产上市。

[▶ 观看完整视频](#)

## Networking ASIC 与 SRAM 测试修复

在网通芯片中，大量 SRAM 承担着封包缓冲、排程表与流表等关键任务，但同时也容易受制程变异影响，导致良率与可靠性挑战。

为了确保产品稳定，常见方法是先以 Memory BIST 快速检测各类失效模式 (如 Retention、Write Disturb)，再透过 Memory BISR 执行修复，利用备援内存单元隔离或替换故障，避免整颗芯片报废。进一步结合 Logic BIST 与 On-chip Repair Analyzer，则能让检测、判断、修复无缝整合，并支持量产及后续 OTA 测试。

**此技术已广泛应用于：**

- Wi-Fi 7 SoC
- Ethernet Switch IC
- SerDes / PCIe PHY
- 5G Modem ASIC

透过 BIST + BISR 的协同机制，Networking ASIC 能降低 DPPM、延长寿命，并满足企业级与车规级设备对高可靠度的需求。

[!\[\]\(ef57557257cbb5c674d51a9e0a98bb4d\_img.jpg\) 观看完整视频](#)

## 蓝牙芯片为什么也需要 SRAM 测试算法？

蓝牙芯片虽小、功耗低，却内建多区块 SRAM，负责储存封包、通信缓冲与控制信息。这些 SRAM 的稳定性，直接影响芯片的通信质量与系统功能。

### SRAM测试重要的主要原因

- 内嵌 SRAM 是关键组件
- 封装测试阶段需验证良率
- 电源与制程变异敏感
- SRAM 位于低功耗区块 (Low Power Island)

### iSTART-TEK 专为 BLE 芯片打造的 SRAM 测试方案

为因应挑战，iSTART-TEK 提出专为低功耗蓝牙芯片设计的测试与修复策略：

- Retention-aware March
- Pattern Generator + Fault Simulator
- Built-in Repair Logic

### 应用场景延伸

- 穿戴式装置 (如智能手环)：高需求，因空间限制导致更高整合度，任何微小失效皆有风险。
- 车用蓝牙模块：需符合 AEC-Q100，对 SRAM 测试与可靠性有明确要求。
- 物联网传感器：运行时间长、功耗要求高，Retention Fault 检测尤其重要。

BLE 芯片体积虽小，对 SRAM 的稳定性要求却非常高。从设计时间导入进阶测试与修复机制，不仅能提升良率，更能强化终端产品的使用体验与可靠性。

 [观看完整视频](#)

## 从耳机到车用 SoC：音频应用的 SRAM 修复实务

在音频芯片设计中，SRAM 是数据缓冲区的核心组件，负责储存音频处理过程中的中介数据，例如滤波器状态、FFT 数据、回音参数等。一旦 SRAM 发生缺陷，可能会导致破音、噪声，甚至造成系统当机。因此，无论是耳机、助听器，还是语音控制装置，越来越多的音频产品开始导入 SRAM 修复技术，确保使用体验与产品稳定性。

### 为什么音频芯片需要 SRAM 修复？

- **避免音频异常与当机**

SRAM 出错将直接影响声音输出质量，轻则破音，重则导致整机重启或失效。

- **因应制程微缩带来的缺陷风险**

进入 28nm 以下先进制程节点后，SRAM 缺陷比例提高，良率挑战变大，即使是消费性芯片也需具备修复能力。

- **强化低功耗装置的数据保持能力**

音频芯片经常进入睡眠模式或断电重启，若 SRAM 无法正确保留数据，将产生所谓的 Retention 问题，影响装置正常启动。

- **提升整体芯片良率与出货稳定性**

导入修复技术后，即使 SRAM 有少量缺陷，也可透过替换机制避免整片芯片报废，提升整批晶圆的有效芯片数。

### 常见应用场景

- **TWS 无线耳机芯片**

利用简易修复方式，防止出货后出现异音与死机问题。

- **助听器芯片**

因需频繁进入低功耗模式，特别重视 SRAM 的 Retention 修复与测试。

- **车用音频 SoC**

为达到车规可靠性标准，如 AEC-Q100，需导入完整修复与容错机制。

## 修复技术导入建议

不同类型的音频芯片，对 SRAM 修复技术的需求也不尽相同：

- 一般消费性音频 IC：可透过基础冗余技术提升稳定性与良率。
- 车用音频芯片：建议搭配多重容错与错误修正技术，提高可靠性。
- 低功耗可携装置：导入具备 Retention 检测与修复能力的解决方案。
- 语音 AI 芯片：推荐整合自我测试与动态修复，因应高速与复杂计算需求。

透过适当的 SRAM 修复技术，不仅能有效提升音频芯片的产品良率与出货稳定性，更能强化整体系统的用户体验与可靠性，是面对先进制程与市场竞争的关键。

 [观看完整视频](#)

iSTART

## 音频处理与 SRAM 测试算法的关联性

在高度仰赖实时性与数据准确性的音频应用场景中，内存稳定性正逐渐成为设计与测试阶段不可忽视的一环。

音频处理与 SRAM 测试算法之间的关联，说明为何即使并非传统高可靠性领域，音频系统对 SRAM 的要求亦同样严格，甚至在某些条件下更具挑战性。

重点内容：

### 应用背景与技术需求

- 音频系统中常见的降噪、解码、回音消除等功能，皆仰赖 SRAM 进行高速数据暂存与计算。
- 高频率且连续的数据读写模式，暴露了 SRAM 在 Retention 与连续存取下的潜在风险。
- 行动装置的工作环境 (如高温、电压变动) 亦进一步挑战 SRAM 的可靠性。

### 测试算法对应策略

本集说明针对音频应用特性的算法设计方向，包括：

- **Retention-Aware March Test**  
插入延迟周期以仿真数据驻留时间，提升 Retention Fault 的检出能力，适用于低功耗音频设备 (如耳机、助听器)。
- **At-Speed March Read-Write**  
于操作频率下仿真真实 Buffer 行为，有效发现高速操作时才显现的错误类型 (如 Transition fault、Coupling fault)。
- **Data Pattern Sensitivity**  
采用常见音频数据模式 (如交错排列 1010/0101) 进行测试，以提升 Pattern-sensitive fault 的检测率。



## 应用启发与设计建议

- 测试策略需针对高速连续读写与数据保留能力进行加强。
- 测试场景应贴近音频处理实务，例如以「读多写少」、「低延迟高频响应」为依据设计流程。
- 使用者自定义测试算法平台 UDA (User Defined Algorithm) 具备高度弹性配置能力，可协助工程团队依应用需求优化测试架构。

[▶ 观看完整视频](#)

# iSTART

## 车规级别芯片的 SRAM 测试算法三部曲之 使用 UDA+TEC 产生 SRAM 缺陷全覆盖的算法

随着 FinFET、GAA 等半导体先进制程的不断导入，在带来芯片性能提升的同时，也让 SRAM 的缺陷类型变得日益复杂，甚至出现了诸如 Marginal Fault、Dynamic Fault、以及 Soft Error 等新型缺陷，就像病毒的不断变异一样。传统的 March C 测试算法就如同一支“旧款疫苗”，对部分已知缺陷可能仍有效，但对这些“变异病毒”却显得力不从心。

为应对这一挑战，芯测科技推出了 UDA (User-Defined Algorithm) 机制。简而言之，它就像一个“疫苗研发平台”，可以根据产品特性与使用情境，自由组合定制化的测试算法。例如，若某类产品需在高温环境下运行，而高温容易诱发 Leakage Defect，用户便可针对该类缺陷，设计并加入特定测试 Pattern 的算法，就如同对高风险区域定点施打疫苗，从而加强防护。

UDA 与 TEC 的搭配，就像是打造了一套为 SRAM 量身订制的「全面疫苗计划」。面对不断演进的制程与应用需求，只有不断更新测试算法，才能防范「新型缺陷」的入侵，确保芯片在车用、AI、航天等关键领域的可靠度与质量。

[▶ 观看完整视频](#)