

iSTART

April 2025

iSTART iReport

芯測科技電子報第 11 期

iSTART

EFFICIENCY
INNOVATION
SERVICE



芯測科技新產品START™ v5與設計服務發表會

芯測科技於3月25日舉辦實體暨線上「芯測科技新產品START™ v5與設計服務發表會」。此次產品發表會著重於START™ v5與EZ-BIST™ v2的說明。START™ v5是SRAM測試與修復EDA工具，EZ-BIST™ v2是SRAM測試EDA工具。在效能提升上，START™ v5 與EZ-BIST™ v2採用了AI工具，包括ChatGPT、OpenAI與DeepSeek強化了RTL語法與各種指令的覆蓋率，對照START™ v3可以提升50%的執行效率。

START™ v5 與 EZ-BIST™ v2 提升了各類 SRAM 的辨識效率，對照 START™ v3，可以縮短50%的SRAM辨識時間。此外，START™ v5與EZ-BIST™ v2 強化了SRAM時鐘自動搜尋(Auto-Clock Tracing)的功能，讓MCU類的晶片可以透過此功能，自動完成晶片內SRAM時鐘路徑的辨識工作，提升MCU類晶片SRAM測試電路生成的速度。

START™ v5取得ISO 26262 TCL1認證，其中幾項功能更是符合車用電子的需求。此次功能強化包括在POT (Power_On Test)功能中，加入了動態控制SRAM的介面，將原本存在ROM裡面的POT控制命令改存放置SRAM裡，以便可以動態調整POT的控制命令。SRAM的修復技術，一直是芯測科技引以為傲之處。



START™ v5在SRAM修復技術上的強化如下：

- 縮短了SRAM修復時，需要從eFuse或是OTP讀取SRAM錯誤資訊到SRAM修復控制器的時間。
- 在面對AI晶片設計複雜度日益增加與SRAM的使用增加的情況下，START™ v5增加了SRAM修復需要用的eFuse和OTP的資料壓縮功能，面對SRAM使用量增加的情況，可以大大節省AI晶片的成本。
- 同樣為了因應AI晶片對於SRAM需求增加的情況，START™ v5優化了SRAM修復路徑的時序，提升AI晶片整體佈局與繞線的彈性度。
- START™ v5在專利化SRAM修復技術上，強化使用Stand-alone SRAM與Redundancy並存的機制。讓許多消費性電子晶片的設計更加彈性化，可以充分利用未使用的SRAM的空間，當作SRAM修復的『備援記憶體』，大幅降低消費類晶片的設計成本。
- START™ v5為了因應Chiplet的架構，透過Interface的多元設計，強化了模組化(Bottom-Up)設計流程，讓複雜晶片的SRAM測試與修復電路的生成變的更加簡單，同時也符合Chiplet架構下的SRAM測試準則。

在SRAM錯誤診斷上，START™ v5與EZ-BIST™ v2強化了SRAM錯誤診斷分析功能，可以利用晶片的佈局圖搭配診斷功能，明確的指出晶片內錯誤SRAM的位置與為何發生錯誤的原因。

START™ v5與EZ-BIST™ v2強化了SRAM分群的機制，可以搭配晶片的佈局圖進行SRAM的分群機制，達到佈局與繞線的時序需求。

在SRAM測試演算法上，START™ v5與EZ-BIST™ v2基於芯測科技的專利化架構UDA (User Defined Algorithm)，設計了TEC 2.0 (Testing Element Change)。TEC可以讓晶片在CP階段，只需要透過測試機台命令的組合，就可以動態改變SRAM的測試演算法，無須更改晶片設計，讓DPPM的控制變的更加容易。

透過UDA的專利，可以將SRAM的測試演算法進行『元件化』設計，如同『樂高』積木的堆疊一樣，透過『元件化』的『重新組合』，產生新的SRAM的測試演算法，讓晶片開發商，可以根據晶片的功能與應用，透過TEC設計出獨一無二的SRAM測試演算法，降低DPPM。

START™ v5與EZ-BIST™ v2皆可以將產生的電路與第三方DFT的EDA工具進行融合，以完成DFT全流程的設計。

芯測科技的新產品START™ v5與EZ-BIST™ v2，可以協助AI晶片與車用電子晶片，提升晶片良率，降低晶片測試成本，增加晶片的競爭力。



芯測科技感謝 上海汽車晶片工程中心有限公司合作夥伴

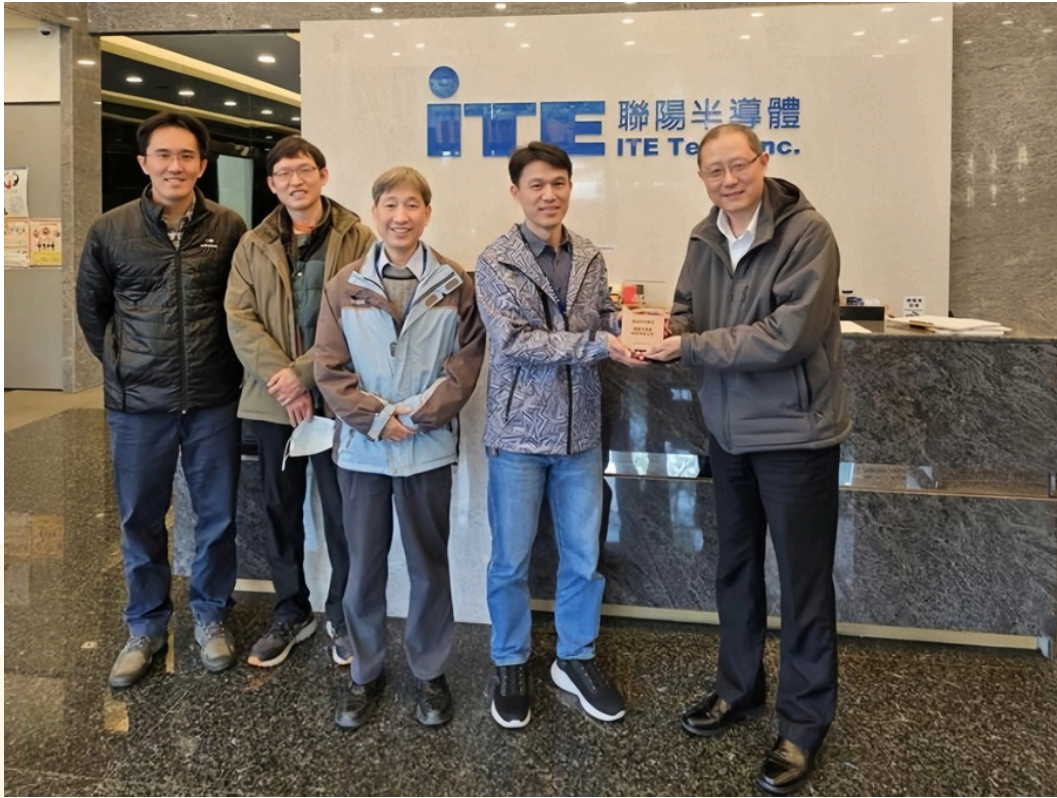


芯測科技新產品START™ v5除了在整體性能對照START™ v3提升了至少50%，還強化了SRAM的修復技術，並增加了CIM的測試與修復技術。同時也能與RISC-V進行整合。其中還有一個很大的進程就是『和第三方的EDA工具進行DFT全流程的整合』。

感謝合作夥伴上海汽車晶片工程中心有限公司的協助，讓SATRT™ v5能夠與第三方EDA工具完成DFT的全流程設計。

芯測科技的新產品START™ v5能夠協助AI晶片與車用電子晶片，提升晶片良率，降低測試成本，增加晶片的競爭力。

感謝聯陽半導體股份有限公司 對芯測科技的長期支持



聯陽半導體股份有限公司(ITE Tech. Inc.)成立於1996年，總公司設在新竹科學工業園區，是一家專業的 Fabless IC 設計公司，早期深耕PC及NB控制晶片的開發設計，其Super I/O (輸出入晶片)及Keyboard and Embedded Controller晶片技術已是全球領導者。

聯陽半導體是芯測科技重要的合作夥伴。在聯陽半導體的技術鞭策下，讓芯測科技得以在產品開發上持續進步，感謝聯陽半導體對芯測科技的支持與信任。

感謝華大電子對芯測科技的長期支持



北京中電華大電子設計有限責任公司(華大電子)是芯測科技重要的合作夥伴。在華大電子的技術鞭策下，讓芯測科技得以在產品開發上持續進步，感謝華大電子對芯測科技的支持與信任。

芯測科技的EDA工具與IP 獲得中國新能源車廠青睞

隨著美中半導體產業競爭延伸至汽車領域，中國正積極推動本土晶片製造能力的提升。目前，國產車用晶片的使用比例已達15%，並持續增長。汽車晶片產業的年營收超過800億美元。過去傳統燃油車通常需要700多個晶片，而電動車所需的晶片數量更是燃油車的兩倍以上。

芯測科技的EDA工具獲得ISO 26262 TCL1認證，提供客製化功能包括：上電檢測 POT (Power_On Test)、SRAM 測試電路自我檢測 CSV (Circuit Self-Verification)、SRAM 識別錯誤訊號 MSW (Memory Status Watch-Dog)、SRAM 自動修復 ARF (Automatic Repairing Flow)、SRAM測試演算法動態配置TEC (Testing Element Change) 等。此外，芯測科技推出的eFlash BIST IP (eFlash測試與修復IP)能協助車用晶片開發商高效完成eFlash測試與修復項目，提供可配置的測試項目規劃，縮短車用晶片的開發時間並降低晶片測試成本。支援許多知名半導體廠商的eFlash IP，並提供客製化的eFlash測試與修復IP。

國外車用晶片供應商目前面臨在中國擴大生產或失去市場的抉擇。中國汽車製造商更傾向於採購國產晶片，不僅能確保供應穩定，也能與中國晶片設計公司更密切合作，芯測科技憑藉其技術創新、品質良率、面積占比和價格優勢來滿足客戶對晶片質量提升及降低測試成本的需求。

芯測科技的產品成功量產於 車用電子與消費性電子晶片產品

芯測科技於2024年12月11日在上海世博參加中國積體電路設計業展覽會(ICCAD-Expo)，展示客戶採用芯測科技產品後成功量產的商品。

車用電子應用系列

芯測科技的客戶已經將芯測科技的EDA工具START (SRAM測試與修復電路開發環境)應用於車用電子相關晶片上，包括驅動IC、電源管理IC、高效能車規安全IC等。終端產品應用涵蓋車用儀錶板、中控顯示器、抬頭顯示器、車聯網通信、汽車智慧座艙、行車記錄器等汽車配置。

消費性電子產品系列

芯測科技的客戶已經將芯測科技的EDA工具START (SRAM測試與修復電路開發環境)與EZ-BIST (SRAM測試電路開發環境)應用於消費性電子晶片產品上，包括控制IC、物聯網安全認證IC等。終端產品應用涵蓋筆記型電腦 (Huawei、Lenovo、Google)、網域控制站、監視器等消費類商品。

芯測科技的EDA工具START (SRAM測試與修復電路開發環境)，透過專利化的SRAM修復技術來提升晶片良率。而EZ-BIST (SRAM測試電路開發環境)可以充分滿足消費類晶片控制DPPM的需求。此外，基於專利化架構下所開發的TEC (Testing Elements Change)可以讓晶片開發商在CP後，透過JTAG介面改變SRAM測試演算法，達到DPPM的完美掌控。

近期，芯測科技的產品也被應用於NPU上，未來會有更多AI相關的晶片採用芯測科技的記憶體測試與修復解決方案。



如何整合芯測科技的EDA工具 與其他EDA工具完成DFT的完整流程



主要優勢

- SoC設計日趨複雜，為精進DFT流程的SCAN Flow，發展出更佳的SCAN技術
- SSN可併行處理載入與讀出的步驟，不須等待整個SCAN Chain載入完畢才開始輸出
- SSN通常會把SCAN Chain分成多個Segments或Hierarchy，每段可獨立開關
- 透過Insertion Bit的機制決定哪個區段要接收測試資料
- 並行處理，提升整體SCAN Flow的效率，減少測試時間
- 動態配置，提高整體SCAN Flow的靈活度
- 除錯力提升，可更精準且快速定位問題發生的位置

精彩內容

Completed DFT Flows (iSTART-TEK EDA Tools + SCAN + ATPG)



可重構記憶體測試演算法架構

EZ-TEC (Testing Element Change)

科技發展日新月異，傳統的演算法在晶片下線後的CP測試(Chip Probe Test，裸晶測試)和FT測試(Final Test，最終測試)階段發現問題時，是無法修改測試演算法的行為。芯測科技所開發的TEC (Test Element Change)功能，以GUI (圖形化操作介面)模式，將記憶體測試演算法的行為元素化，藉由元素的重新排列組合，產生新型態的測試演算法，藉此改變CP測試和FT測試的動態調整及元素重組。即使客戶未採用芯測科技的MBIST電路，也能保留原始的BIST架構，並以IP形式插入原始電路，為客戶在應用上帶來極大的便利性與彈性。

EZ-TEC主要優勢

- Coexist with existing MBIST's circuits
- Decouple existing SRAM testing algorithms from Elements
- Element-Based architecture testing algorithms for reducing area obviously
- Easy to change SRAM testing algorithms through JTAG interface, after finishing CP phases

EZ-TEC架構圖

EZ-TEC能夠獨立於任何特定的記憶體內建自我測試(MBIST)EDA工具使用，其元素化架構有助於構建高性價比的電路，還能與現有的MBIST電路共存，能插在需要上電測試的關鍵記憶體旁。SRAM_s代表原始SRAM介面，而SRAM_t代表MBIST處理後與SRAM的介面。透過多工器切換SRAM的控制訊號來保留原始架構，再以IP形式新增電路，產生SRAM_t介面。最後通過IEEE1500或IEEE1149.1介面接到頂層。其中，電路的插入需遵循各自的時鐘域(Clock Domain)，當Clock Domain插入EZ-TEC後設定測試元件，即可連接到專用SRAM。

透過Element快速產生March C⁺演算法

EZ-TEC是基於芯測科技的美國專利「METHOD FOR GENERATING A MEMORY BUILT-IN SELF-TEST ALGORITHM CIRCUIT」的元素化架構。EZ-TEC能在CP測試階段，讓使用者根據使用需求來調整測試演算法的元素順序，如下圖W, rWR, Rwr元素。而使用者只需要準備四個元素，即可組成常見的March C⁺演算法。



元素與代碼的組成

每個元素都有其相對應的代碼，使用者可以透過代碼的組合，排列出新的測試演算法。

```

parameter top_default_grp_id_width = 1;
parameter top_default_meb_id_width = 1;
parameter top_default_SEQ_STATE_WIDTH = 2;
parameter top_default_RAM_SEQ_IDLE = 2'd0;
parameter top_default_RAM_SEQ_PRE = 2'd1;
parameter top_default_RAM_SEQ_APPLY = 2'd2;
parameter top_default_RAM_SEQ_DONE = 2'd3;
parameter top_default_SEQ_ADDR_WIDTH = 10;
parameter top_default_action_width = 4;
parameter Rwr = 4'b0010;
parameter r = 4'b1000;
parameter rWR = 4'b1001;
parameter w = 4'b1100;
  
```

改變測試演算法行為

使用者可以透過外部的Interface，如JTAG、Testbench中的send_command進行設定與更改測試演算法的行為。

send_command task

send_command = {PRL_ON, GRP_EN, MEB_ID, BG, ALG_CMD, MEN}

- PRL_ON：決定要並行測試
- GRP_EN：決定要測試的Group (每個代表1個Group)
- MEB_ID：決定要測試的Memory ID (「0」代表全部都測)
- BG：決定測試的Background順序

BG[1:0]	Pattern
00	0x0F → 0x5A
01	0x0F
10	0x5A
11	0x0F → 0x5A

- ALG_CMD = {ALG_CMD12, ALG_CMD11, ..., ALG_CMD1, ALG_CMD0}
- MEN：啟動Memory BIST測試

ALG_CMD

- ALG_CMD0~12 = {direction, cmd_parity, action}
- direction：address測試的順序 (0：升幂，1：降幂)
- cmd_parity：每個element的第一個讀/寫的background (1：a，0：b)
- action：由MBIST的code中，查出每個element代表的數值。

EZ-TEC介面腳位

EZ-TEC支援IEEE1149.1和IEEE1500介面。其中，MCK (Memory BIST Clock)為MBIST的時鐘訊號；RSTN (Memory BIST Reset)為MBIST的重置訊號。

Signal	Description
IEEE1149.1	
TDI	Test Data In
TDO	Test Data Out
TMS	Test Mode State
TRST	Test Reset
TCK	Test Clock
IEEE1500	
WSI	Wrapper Serial Input
WSO	Wrapper Serial Output
WRCK	Wrapper Serial Clock
WRSTN	Wrapper Reset
UpdateWR	Update Wrapper Register
ShiftWR	Shift Wrapper Register
SelectWIR	Select Wrapper Instruction Register
CaptureWR	Capture Wrapper Register

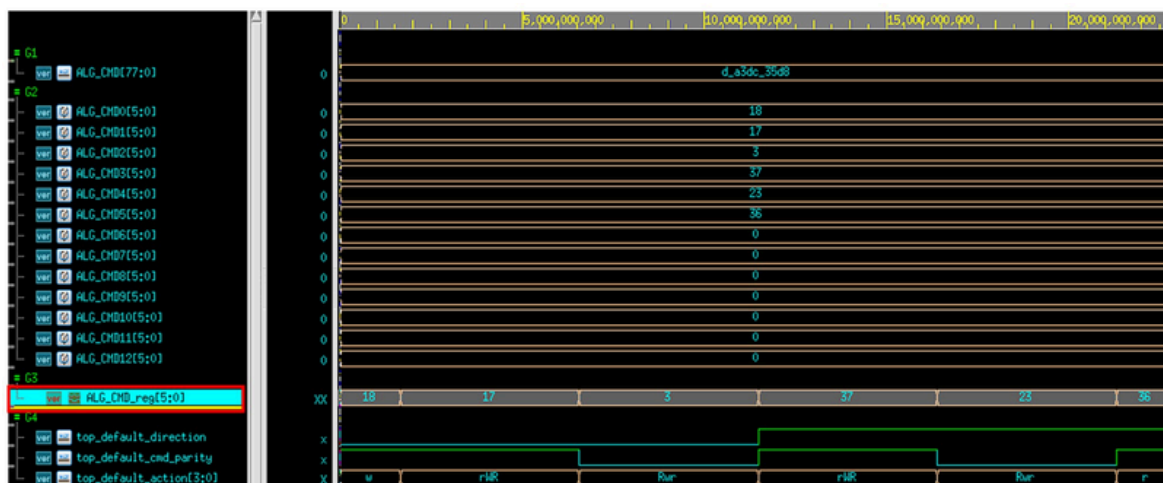
MBIST	
MCK	MBIST Clock
RSTN	MBIST Reset

不同SRAM類型對應的介面

Signal	Description	Signal	Description
Signal Port SRAM (sram_sp_1024x32)		Dual Port SRAM (sram_dp_1024x64)	
CLK	Clock	CLKA	Clock A
A[9:0]	Address	CLKB	Clock B
D[5:0]	Data In	TAA[9:0]	Address A
CEN	Chip Enable	TAB[9:0]	Address B
WEN	Write Enable	TDA[63:0]	Data In A
Q[5:0]	Data Out	TDB[63:0]	Data In B
Two Port SRAM (rf_2p_24x28)		TCENA	Chip Enable A
CLKA	Clock A	TCENB	Chip Enable B
CLKB	Clock B	TWENA	Write Enable A
AA[4:0]	Address A	TWENB	Write Enable B
AB[4:0]	Address B	QA[63:0]	Data Out A
DB[27:0]	Data In B	QB[63:0]	Data Out B
CENA	Chip Enable A		
CENB	Chip Enable B		
QA[27:0]	Data Out A		

EZ-TEC波形圖

ALG_CMD集合0~12的訊號。每次位移6位元後存入ALG_CMD_reg，再依序執行March C⁺的演算法行為。



EZ-TEC面積占比

在面積的部分，芯測科技這邊採用了Hardware Sharing的概念，所以當SRAM的顆數越多，面積成長的比例就會越小。

Memory Instance	20	30	40	50
Area(um ²)	2410.379998	3282.678005	4158.378012	5021.226019
	1.42%	1.29%	1.22%	1.18%

library	tcbn28hpcplusbwp35p140ssg0p9vm40c_ccs
condition	MEM = 1024x32 = 8481.255250 um ²
frequency	MCK = 10MHz, TCK = 10MHz

晶片生產後，使用者可以透過EZ-TEC IP在CP測試階段時，調整演算法行為。無論是在不改變原始MBIST架構的情況下，或是採用其他廠商的MBIST方案，芯測科技的EZ-TEC IP都能針對重要或面積較大的SRAM重組排列出新的測試演算法，進而提高晶片的良率並降低DPPM。

Function	Change algorithms after CP
Algorithms	All algorithms of START
Interface	SRAM interface, JTAG
SRAM's types	SP、2P、DP
Configurable	Other functions of START

